

日本国特許庁  
JAPAN PATENT OFFICE

10/507475  
PCT/JP 03/00155

REC'D 07 MAR 2003

10.67.03 PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 4月 4日

出願番号

Application Number:

特願2002-102640

[ST.10/C]:

[JP2002-102640]

出願人

Applicant(s):

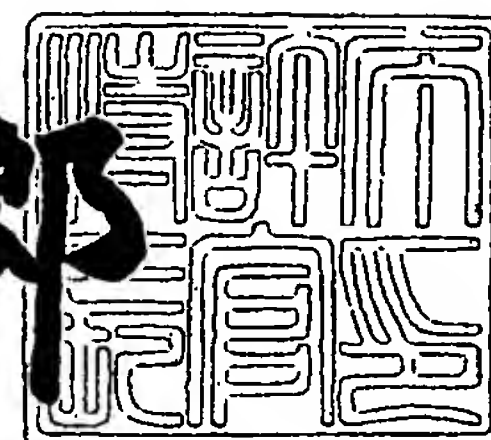
株式会社東芝

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 2月18日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008545

【書類名】 特許願

【整理番号】 02P083

【提出日】 平成14年 4月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00

【発明の名称】 半導体記憶装置

【請求項の数】 27

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 戸田 春希

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100092820

    【弁理士】

    【氏名又は名称】 伊丹 勝

    【電話番号】 03-5216-2501

【手数料の表示】

    【予納台帳番号】 026893

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 互いに平行な複数の第 1 の配線と、

この第 1 の配線とは分離されて交差して配設された複数の第 2 の配線と、

前記第 1 の配線と第 2 の配線の各交差部に配置されて、一端が第 1 の配線に他端が第 2 の配線に接続されたメモリセルとを備え、

前記メモリセルは、

結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子と、

この可変抵抗素子に直列接続されたショットキーダイオードとを有することを特徴とする半導体記憶装置。

【請求項 2】 前記ショットキーダイオードは、前記第 1 の配線側をアノード、第 2 の配線側をカソードとする極性で前記可変抵抗素子と直列接続されており、且つ

非選択状態で前記第 1 の配線と第 2 の配線は、各メモリセルのショットキーダイオードが逆バイアスとなる条件にバイアスされ、

データ読み出し時、選択された第 1 の配線と第 2 の配線は、選択されたメモリセルのショットキーダイオードが順バイアスとなる条件でパルス駆動されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 半導体基板と、

前記半導体基板に素子分離絶縁膜により区画されてマトリクス状に配列形成された複数の半導体層と、

前記各半導体層の表面の一部に形成された金属電極を端子電極として各半導体層に形成されたダイオードと、

マトリクスの一方向に並ぶ前記ダイオードの金属電極を共通接続するように配設された複数の第 1 の配線と、

前記第 1 の配線を覆う層間絶縁膜と、

前記層間絶縁膜の前記各第 1 の配線のスペース部に埋め込まれて前記各半導体

層にオーミック接触する金属プラグと、

前記層間絶縁膜上に形成されて底面が前記金属プラグに接触するカルコゲナイド層と、

前記カルコゲナイド層の上面に接触するように前記第 1 の配線と交差して配設された複数の第 2 の配線と、

を有することを特徴とする半導体記憶装置。

【請求項 4】 前記ダイオードは、前記金属電極をアノード電極とするショットキーダイオードである

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 前記半導体層は、最小加工寸法を  $F$  として、前記第 1 の配線の方向に  $2F$  ピッチで、前記第 2 の配線の方向に  $3F$  ピッチで配列され、

前記第 1 の配線と前記金属プラグは、前記各半導体層の前記第 2 の配線の方向の両端部に接続されるように、第 2 の配線の方向に  $3F$  ピッチで交互に形成されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】 絶縁性基板と、

前記絶縁性基板上に形成された互いに平行な複数の第 1 の配線と、

前記各第 1 の配線に一端が接続されるように各第 1 の配線上に複数個ずつ形成された、結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子とダイオードの積層構造からなるメモリセルと、

前記メモリセル上に、前記第 1 の配線と交差する方向の複数のメモリセルの他端を共通接続するように形成された複数の第 2 の配線と、

を有することを特徴とする半導体記憶装置。

【請求項 7】 前記メモリセルは、前記第 1 の配線上に周囲が層間絶縁膜で平坦に埋め込まれた状態に形成されたダイオードと、このダイオードが形成された層間絶縁膜上に形成され底面が前記ダイオードに接続されて前記可変抵抗素子となるカルコゲナイド層とから構成されている

ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 前記ダイオードは、前記第 1 の配線側をアノード端子とする

ショットキーダイオードである

ことを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 9】 絶縁性基板と、この絶縁性基板上に積層された複数のセルアレイとを有し、

前記各セルアレイは、

互いに平行な複数の第 1 の配線と、

前記各第 1 の配線に一端が接続されるように各第 1 の配線上に複数個ずつ形成された、結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子とダイオードの積層構造からなるメモリセルと、

前記メモリセル上に、前記第 1 の配線と交差する方向の複数のメモリセルの他端を共通接続するように形成された複数の第 2 の配線とを有することを特徴とする半導体記憶装置。

【請求項 10】 上下に隣接するセルアレイの間で前記第 1 または第 2 の配線を共有している

ことを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 上下に隣接するセルアレイの間で、前記可変抵抗素子とダイオードの積層順が同じである

ことを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 12】 上下に隣接するセルアレイの間で、前記可変抵抗素子とダイオードの積層順が逆である

ことを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 13】 最小加工寸法を  $F$  として、前記第 1 及び第 2 の配線は  $1F$  /  $1F$  のライン／スペースで形成され、

前記第 1 及び第 2 の配線の各交差部に前記メモリセルが埋め込まれていることを特徴とする請求項 6 又は 9 記載の半導体記憶装置。

【請求項 14】 前記各メモリセルのダイオードは、前記第 1 の配線側をアノード、第 2 の配線側をカソードとする極性で前記可変抵抗素子と直列接続されており、且つ

非選択状態で前記第 1 の配線と第 2 の配線は、各メモリセルのダイオードが逆



バイアスとなる条件にバイアスされ、

データ読み出し時、選択された第 1 の配線と第 2 の配線は、選択されたメモリのダイオードが順バイアスとなる条件でパルス駆動されることを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 1 5】 前記各第 1 の配線を正論理パルスが与えられる第 1 の電源線に接続するための第 1 の選択トランジスタと、

前記各第 2 の配線を負論理パルスが与えられる第 2 の電源線に接続するための第 2 の選択トランジスタと、

前記各第 1 の配線を非選択時に第 1 の電位に保持するための第 1 のリセット用トランジスタと、

前記各第 2 の配線を非選択時に第 1 の電位より高い第 2 の電位に保持するための第 2 のリセット用トランジスタと、

を有することを特徴とする請求項 2, 4, 8, 14 のいずれかに記載の半導体記憶装置。

【請求項 1 6】 選択された第 1 の配線と第 2 の配線により選択されたメモリの電流を参照値と比較してデータを検知するセンスアンプ回路を有することを特徴とする請求項 1 5 記載の半導体記憶装置。

【請求項 1 7】 前記センスアンプ回路は、

第 1 の配線に流れる電流の大小を参照値と比較して判定する第 1 の電流検知回路と、

第 2 の配線に流れる電流の大小を参照値と比較して判定する第 2 の電流検知回路とを有する

ことを特徴とする請求項 1 6 記載の半導体記憶装置。

【請求項 1 8】 前記センスアンプ回路は、

前記メモリのセルの高抵抗状態と低抵抗状態の中間の抵抗値を持つダミーセルと

選択された第 1 の配線と正論理パルスが与えられる第 1 の電源線との間に介在させた第 1 の抵抗と、

選択された第 2 の配線と負論理パルスが与えられる第 2 の電源線との間に介在

させた第 2 の抵抗と、

前記ダミーセルの一端と前記第 1 の電源線との間に介在させた第 3 の抵抗と、

前記ダミーセルの他端と前記第 2 の電源線との間に介在させた第 4 の抵抗と、

前記第 1 の抵抗の中間タップ出力と前記第 3 の抵抗とダミーセルの接続ノードの電圧とを比較する第 1 のオペアンプと、

前記第 2 の抵抗の中間タップ出力と前記第 4 の抵抗とダミーセルの接続ノードの電圧とを比較する第 2 のオペアンプと、

を有することを特徴とする請求項 1 6 記載の半導体記憶装置。

【請求項 1 9】 前記複数のセルアレイの同時にアクセスされるメモリセルの高抵抗状態と低抵抗状態の組み合わせによる多値情報の書き込み及び読み出しが行われる

ことを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 2 0】 第 1 の配線を共有して第 1 のセルアレイ上に第 2 のセルアレイが積層され、第 1 のセルアレイと第 2 のセルアレイの同時にアクセスされる 2 個のメモリセルの高抵抗状態と低抵抗状態の組み合わせにより 4 値情報の書き込み及び読み出しが行われる

ことを特徴とする請求項 1 9 記載の半導体記憶装置。

【請求項 2 1】 4 値情報を検知するセンスアンプ回路は、

第 1 のセルアレイの第 2 の配線に流れる電流値の大小を参照値と比較して判定する第 1 の電流検出回路と、

第 1 及び第 2 のセルアレイが共有する第 1 の配線に流れる電流値の大小を参照値と比較して判定する第 2 の電流検出回路と、

第 2 のセルアレイの第 2 の配線に流れる電流値の大小を参照値と比較して判定する第 3 の電流検出回路とを有する

ことを特徴とする請求項 2 0 記載の半導体記憶装置。

【請求項 2 2】 第 1 の配線を共有して第 1 のセルアレイ上に第 2 のセルアレイが積層され、第 2 の配線を共有して第 2 のセルアレイ上に第 3 のセルアレイが積層されて、これら第 1 乃至第 3 のセルアレイの同時にアクセスされる 3 個のメモリセルの高抵抗状態と低抵抗状態の組み合わせにより 8 値情報の書き込み

及び読み出しが行われる

ことを特徴とする請求項 1 9 記載の半導体記憶装置。

【請求項 2 3】 8 値情報を検知するセンスアンプ回路は、

第 1 のセルアレイの第 2 の配線に流れる電流値の大小を参照値と比較して判定する第 1 の電流検出回路と、

第 1 及び第 2 のセルアレイが共有する第 1 の配線に流れる電流値の大小を参照値と比較して判定する第 2 の電流検出回路と、

第 2 及び第 3 のセルアレイが共有する第 2 の配線に流れる電流値の大小を参照値と比較して判定する第 3 の電流検出回路と、

第 3 のセルアレイの第 1 の配線に流れる電流値の大小を参照値と比較して判定する第 4 の電流検出回路とを有する

ことを特徴とする請求項 2 2 記載の半導体記憶装置。

【請求項 2 4】 前記第 2 の電流検出回路は、第 1 及び第 2 のセルアレイの選択された二つのメモリセルが共に低抵抗状態の場合と一方が低抵抗状態である場合の電流値の相違を判別する二つの電流検出部を有する

ことを特徴とする請求項 2 3 記載の半導体記憶装置。

【請求項 2 5】 前記第 3 の電流検出回路は、第 2 及び第 3 のセルアレイの選択された二つのメモリセルが共に低抵抗状態の場合と一方が低抵抗状態である場合の電流値の相違を判別する二つの電流検出部を有する

ことを特徴とする請求項 2 3 記載の半導体記憶装置。

【請求項 2 6】 前記複数のセルアレイへの多値情報の書き込み回路は、

パルス幅の異なる二種のパルスを発生すると共に、これらの二種のパルスの選択と組み合わせによって同時に選択されるセルアレイの第 1 及び第 2 の配線間を与える書き込みパルスの時間幅を多値情報に応じて決定する論理ゲートを含むパルス発生回路を有する

ことを特徴とする請求項 1 9 記載の半導体記憶装置。

【請求項 2 7】 前記複数のセルアレイへの多値情報の書き込み回路は、

パルス幅が一定で時間差のある二種のパルスを発生すると共に、これらの二種のパルスの選択と組み合わせによって同時に選択されるセルアレイの第 1 及び第



2 の配線間に与える書き込みパルスの時間幅を多値情報に応じて決定する論理ゲートを含むパルス発生回路を有すること

ことを特徴とする請求項 1 9 記載の半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、結晶状態と非晶質状態との間の相変化による異なる抵抗値を情報として不揮発に記憶する、書き換え可能な半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

従来の電氣的書き換えが可能な半導体メモリは、大きく揮発性メモリと不揮発性メモリに分けられる。揮発性メモリとしては、DRAMやSRAMがあり、不揮発性メモリとしてはNANDやNORなどのEEPROMフラッシュメモリなどある。DRAMやSRAMは高速なランダムアクセスをその特徴とし、フラッシュメモリは大容量と長期間のデータ保持をその特徴とする。不揮発性で且つ高速なランダムアクセス可能なものとして、強誘電体膜を使う強誘電体RAMもある。これら従来の半導体メモリでは、構成要素として必ずトランジスタを持つ。

【0 0 0 3】

RAMとして理想的なセルアレイ構成を考えると、セルアレイを行列マトリクスとして構成する限り、行と列の選択信号線は必ず必要になる。したがってこれらの行列選択線みがセルアレイに配設されるものがもっとも単純な構成となる。従来の半導体メモリは、これらの信号線のほかに電源線やセルからセンスアンプへのデータ線が加わってセルアレイが構成されていた。また、複雑な構成をとるセルは微細化が進むとその特性を維持するのが難しい。

【0 0 0 4】

このような観点から、物質それ自体の性質を記憶状態として利用するセルが今後の技術では重要となる。その様な技術として有望視されるものに、カルコゲナイドガラスの結晶－非結晶の相転移を利用した相変化メモリが提案されている。これは、非晶質状態と結晶状態の抵抗比が100：1以上と大きいことを利用して

、異なる抵抗値状態を情報として記憶するものである。

【 0 0 0 5 】

カルコゲナイドガラスは、書き換え可能な光ディスク等で既に用いられている。ここでは、カルコゲナイドの相変化による反射率の差が利用されている。この相変化は可逆的であり、過熱の仕方に変化をコントロールでき、加熱の仕方はこの物質を流れる電流量で制御できる。この物質の特徴を利用したメモリセルへの応用の試みは、既に報告されている（例えば、Jpn.J.Appl.Phys.Vol.39(2000)PP.6157-6161 Part 1,NO.11,November2000"Submicron Nonvolatile Memory Cell Based on Reversible Phase Transition in Chalcogenide Glasses" Kazuya Nakayama et al.参照）。

【 0 0 0 6 】

【発明が解決しようとする課題】

この発明は、相変化による抵抗値情報を不揮発に記憶する、書き換え可能な半導体記憶装置であって、好ましいセルアレイ構成を持つ半導体記憶装置を提供することを目的としている。

【 0 0 0 7 】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、互いに平行な複数の第1の配線と、この第1の配線とは分離されて交差して配設された複数の第2の配線と、前記第1の配線と第2の配線の各交差部に配置されて、一端が第1の配線に他端が第2の配線に接続されたメモリセルとを備え、前記メモリセルは、結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子と、この可変抵抗素子に直列接続されたショットキーダイオードとを有することを特徴とする。

【 0 0 0 8 】

この発明によると、相変化メモリの選択素子としてショットキーダイオードを用いることによって、高速アクセスが可能となり、またセルアレイの構成及び製造工程も簡単になる。具体的にショットキーダイオードは例えば、第1の配線側をアノード、第2の配線側をカソードとする極性で可変抵抗素子と直列接続され

ており、且つ非選択状態で第 1 の配線と第 2 の配線は、各メモリセルのショットキーダイオードが逆バイアスとなる条件にバイアスされ、データ読み出し時、選択された第 1 の配線と第 2 の配線は、選択されたメモリセルのショットキーダイオードが順バイアスとなる条件でパルス駆動されるものとすることができる。

## 【 0 0 0 9 】

この発明による半導体記憶装置はまた、半導体基板と、前記半導体基板に素子分離絶縁膜により区画されてマトリクス状に配列形成された複数の半導体層と、前記各半導体層の表面の一部に形成された金属電極を端子電極として各半導体層に形成されたダイオードと、マトリクスの一方向に並ぶ前記ダイオードの金属電極を共通接続するように配設された複数の第 1 の配線と、前記第 1 の配線を覆う層間絶縁膜と、前記層間絶縁膜の前記各第 1 の配線のスペース部に埋め込まれて前記各半導体層にオーミック接触する金属プラグと、前記層間絶縁膜上に形成されて底面が前記金属プラグに接触するカルコゲナイド層と、前記カルコゲナイド層の上面に接触するように前記第 1 の配線と交差して配設された複数の第 2 の配線とを有することを特徴とする。

## 【 0 0 1 0 】

相変化メモリの選択素子としてダイオードを用いることにより、セルアレイの高密度化が可能になる。具体的に例えば、半導体層は、最小加工寸法を  $F$  として、前記第 1 の配線の方に  $2F$  ピッチで、前記第 2 の配線の方に  $3F$  ピッチで配列され、第 1 の配線と金属プラグは、各半導体層の第 2 の配線の方の両端部に接続されるように、第 2 の配線の方に  $3F$  ピッチで交互に形成される。

## 【 0 0 1 1 】

この発明による半導体記憶装置はまた、絶縁性基板と、前記絶縁性基板上に形成された互いに平行な複数の第 1 の配線と、前記各第 1 の配線に一端が接続されるように各第 1 の配線上に複数個ずつ形成された、結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子とダイオードの積層構造からなるメモリセルと、前記メモリセル上に、前記第 1 の配線と交差する方向の複数のメモリセルの他端を共通接続するように形成された複数の第 2 の配線と、を有することを特徴とする。

## 【 0 0 1 2 】

この様に絶縁性基板を用いて、ダイオードを半導体膜により形成すると、相変化メモリの一層の高密度化が可能である。即ち、最小加工寸法をFとして、第1及び第2の配線を1F/1Fのライン/スペースで形成し、第1及び第2の配線の各交差部にメモリセルを埋め込むことにより、高密度セルアレイが得られる。

## 【 0 0 1 3 】

この発明による半導体記憶装置はまた、絶縁性基板と、この絶縁性基板上に積層された複数のセルアレイとを有し、前記各セルアレイは、互いに平行な複数の第1の配線と、前記各第1の配線に一端が接続されるように各第1の配線上に複数個ずつ形成された、結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子とダイオードの積層構造からなるメモリセルと、前記メモリセル上に、前記第1の配線と交差する方向の複数のメモリセルの他端を共通接続するように形成された複数の第2の配線とを有することを特徴とする。

## 【 0 0 1 4 】

絶縁性基板にセルアレイを構成する手法を用いると、複数のセルアレイを積層した大容量の相変化メモリを得ることができる。

## 【 0 0 1 5 】

この発明によるセルアレイの選択回路は、好ましくは、第1の配線を正論理パルスが与えられる第1の電源線に接続するための第1の選択トランジスタと、第2の配線を負論理パルスが与えられる第2の電源線に接続するための第2の選択トランジスタと、第1の配線を非選択時に第1の電位に保持するための第1のリセット用トランジスタと、第2の配線を非選択時に第1の電位より高い第2の電位に保持するための第2のリセット用トランジスタとを備えて構成される。

## 【 0 0 1 6 】

更に、この発明による半導体記憶装置では、選択された第1の配線と第2の配線により選択されたメモリセルの電流を参照値と比較してデータを検知するセンスアンプ回路を備える。具体的にセンスアンプ回路は、第1の配線に流れる電流の大小を参照値と比較して判定する第1の電流検知回路と、第2の配線に流れる



電流の大小を参照値と比較して判定する第2の電流検知回路とを備えて構成される。

【0017】

またこの発明においては、積層された複数のセルアレイの同時にアクセスされるメモリセルの高抵抗状態と低抵抗状態の組み合わせによる多値情報の書き込み及び読み出しが行われることを特徴とする。

【0018】

具体的に、第1の配線を共有して第1のセルアレイ上に第2のセルアレイが積層された構造を用いて、第1のセルアレイと第2のセルアレイの同時にアクセスされる2個のメモリセルの高抵抗状態と低抵抗状態の組み合わせにより4値情報の書き込み及び読み出しが行われる。この様な4値情報を検知するセンスアンプ回路は、第1のセルアレイの第2の配線に流れる電流値の大小を参照値と比較して判定する第1の電流検出回路と、第1及び第2のセルアレイが共有する第1の配線に流れる電流値の大小を参照値と比較して判定する第2の電流検出回路と、第2のセルアレイの第2の配線に流れる電流値の大小を参照値と比較して判定する第3の電流検出回路とを備えて構成される。

【0019】

また、第1の配線を共有して第1のセルアレイ上に第2のセルアレイが積層され、第2の配線を共有して第2のセルアレイ上に第3のセルアレイが積層された構造を用いて、これら第1乃至第3のセルアレイの同時にアクセスされる3個のメモリセルの高抵抗状態と低抵抗状態の組み合わせにより8値情報の書き込み及び読み出しが行われる。この様な8値情報を検知するセンスアンプ回路は、第1のセルアレイの第2の配線に流れる電流値の大小を参照値と比較して判定する第1の電流検出回路と、第1及び第2のセルアレイが共有する第1の配線に流れる電流値の大小を参照値と比較して判定する第2の電流検出回路と、第2及び第3のセルアレイが共有する第2の配線に流れる電流値の大小を参照値と比較して判定する第3の電流検出回路と、第3のセルアレイの第1の配線に流れる電流値の大小を参照値と比較して判定する第4の電流検出回路とを備えて構成される。

【0020】



上述した 8 値情報のセンスアンプ回路構成では、一部にデータの縮退が発生する。この縮退をなくすためには、第 2 の電流検出回路を、第 1 及び第 2 のセルアレイの選択された二つのメモリセルが共に低抵抗状態の場合と一方が低抵抗状態である場合の電流値の相違を判別する二つの電流検出部を備えて構成すればよい。或いはまた、第 3 の電流検出回路を、第 2 及び第 3 のセルアレイの選択された二つのメモリセルが共に低抵抗状態の場合と一方が低抵抗状態である場合の電流値の相違を判別する二つの電流検出部を備えて構成すればよい。

## 【 0 0 2 1 】

複数のセルアレイへの多値情報の書き込み回路は、例えば、パルス幅の異なる二種のパルスを発生すると共に、これらの二種のパルスの選択と組み合わせによって同時に選択されるセルアレイの第 1 及び第 2 の配線間に与える書き込みパルスの時間幅を多値情報に応じて決定する論理ゲートを含むパルス発生回路を備えて構成することができる。或いはまた、パルス幅が一定で時間差のある二種のパルスを発生すると共に、これらの二種のパルスの選択と組み合わせによって同時に選択されるセルアレイの第 1 及び第 2 の配線間に与える書き込みパルスの時間幅を多値情報に応じて決定する論理ゲートを含むパルス発生回路を備えて構成することができる。

## 【 0 0 2 2 】

## 【発明の実施の形態】

以下、この発明の実施の形態を説明する。

図 1 は、実施の形態によるセルアレイを、 $3 \times 3$  セルマトリクスについて示している。複数本の第 1 の配線（以下、これをワード線という）WL が平行に配設され、これと交差して複数本の第 2 の配線（以下、これをビット線という）BL が配設され、これらの各交差部にメモリセル MC が配置される。メモリセル MC は、可変抵抗素子 VR とダイオード SD の直列接続回路である。可変抵抗素子 VR は、カルコゲナイドにより形成され、その結晶状態と非晶質状態の相転移による抵抗値の大小をデータとして記憶するものである。

## 【 0 0 2 3 】

ダイオード SD は、この実施の形態の場合ショットキーダイオードであるが、

p n 接合ダイオードをも用いる。メモリセルMCの一端はビット線BLに接続され、他端はワード線WLに接続される。図では、ダイオードSDは、ワード線WL側がアノードになっているが、ワード線WLとビット線BLの電位関係でセルの選択性が得られればよいので、ダイオードSDの極性を逆にすることもできる。

## 【 0 0 2 4 】

データは前述のように、各メモリセルMCの抵抗素子VRの抵抗値の大小として記憶される。非選択状態では例えば、全てのワード線WLは” L ” レベル、全てのビット線BLは” H ” レベルとする。一例を挙げれば、” H ” レベルを1.8 V、” L ” を0 Vとする。この非選択状態では、全てのメモリセルMCのダイオードSDが逆バイアス状態でオフであり、抵抗素子VRには電流は流れない。図1のセルアレイの破線で囲んだ真中のメモリセルMCを選択する場合を考えると、選択されたワード線WLを” H ” とし、選択されたビット線BLを” L ” に設定する。これにより、選択セルでは、ダイオードSDが順バイアスになって電流が流れる。

## 【 0 0 2 5 】

このとき選択セルに流れる電流量は、抵抗素子VRを構成するカルコゲナイドの相によって決まるから、電流量の大小を検知することにより、二値データの読み出しができる。また、例えば選択ワード線の” H ” レベル電位を高くすることによって電流量を増やすことができ、この電流によるセル部の加熱を利用して、抵抗素子VRのカルコゲナイドに相転移を生じさせることができる。従って、セルアレイ中特定のセルを選択して、そのセルの情報を書き換えることが可能である。

## 【 0 0 2 6 】

この様にこの実施の形態のセルアレイでは、アクセスはワード線WLとビット線BLの各々1本の電位レベル設定のみによって行われ、セル選択のためのトランジスタをセルに設ける必要がない。セル選択のために設けられているダイオードSDは、特にショットキーダイオードを用いることにより、多くの効果が得られる。第1に、ショットキーダイオードは、p n 接合ダイオードと異なり、多数

キャリア素子であるから、小数キャリアの蓄積ということがなく、従って高速アクセスが可能になる。第2に、pn接合を形成する必要がないので、セルアレイ構成も製造工程も簡単になる。第3に、pn接合は温度による特性変化が問題になるが、ショットキー接合は温度に対して安定である。

## 【 0 0 2 7 】

上の動作説明では、ワード線WLとビット線BLの電位レベルを制御して、抵抗素子VRを構成するカルコゲナイドの抵抗値検出（データ読み出し）や相変化の制御（データ書き換え）をする場合を示したが、ワード線WLとビット線BLに流れる電流レベルを制御して、読み出しや書き換えを行うこともできる。これら電圧制御方式と電流制御方式とでは、カルコゲナイドに発生するパワーがカルコゲナイドの抵抗をRとしたとき、電位制御なら $v^2/R$ となり、電流制御なら $iR^2$ となるので、抵抗検知中のカルコゲナイドの温度変化の相変化に与える影響が異なる。カルコゲナイドは、非晶質状態では抵抗値が高く、結晶状態では抵抗値が低いので、抵抗値の読み出し中にカルコゲナイドに与えるエネルギーが両方式で異なる。従って、カルコゲナイドの相状態に与える安定性やセル構造を考慮して、いずれかの方式を選択すればよい。

## 【 0 0 2 8 】

次に、図1のセルアレイを実際に半導体集積回路として構成するいくつかの例を説明する。図2はその一例のセルアレイの平面図であり、図3A、図3B、図3Cはそれぞれ、図2のI-I'、II-II'、III-III'断面を示している。

## 【 0 0 2 9 】

基板10はこの実施の形態の場合、p型シリコン基板であり、その表面部には素子分離絶縁膜11により各メモリセル領域毎に区画された島状のn型シリコン層12が形成されている。一方向に並ぶ複数のn型シリコン層12に対して、その表面の片側よりにショットキーダイオードSDを形成するように、金属膜からなるワード線(WL)21として連続して形成されている。但し、ワード線WLとショットキー接合を構成する金属膜は別々であってもよく、例えばセル領域のみにショットキー接合を構成する金属膜をパターン形成し、これらを共通接続するようにワード線を形成することもできる。

## 【 0 0 3 0 】

ワード線 2 1 が形成された面は、層間絶縁膜 2 2 により平坦に覆われる。そしてこの層間絶縁膜 2 2 の各ワード線 2 1 のスペース部に各 n 型シリコン層 1 2 に達するコンタクト孔が開けられて、ここにダイオード S D のカソード電極となる金属プラグ 2 3 が埋め込まれている。金属プラグ 2 3 が埋め込まれるコンタクト孔からは、予め n 型シリコン層 1 2 に不純物を拡散して、良好なオーミック接触を得るための  $n^+$  型層 2 6 が形成されている。

## 【 0 0 3 1 】

金属プラグ 2 3 が平坦に埋め込まれた層間絶縁膜 2 2 上に更に、カルコゲナイド層 2 4 が形成され、この上に金属膜によるビット線 (B L) 2 5 が形成されている。カルコゲナイド層 2 4 の埋め込み金属プラグ 2 3 とビット線 2 5 の対向する部分 (図 3 A, 図 3 B の網掛け領域) が実際にセル領域として機能する相変化領域 (即ち可変抵抗素子) V R となる。

## 【 0 0 3 2 】

この様なセルアレイの製造工程を、図 3 A の断面 (I - I' 断面) に着目して、図 4 ~ 図 9 を参照して説明する。図 4 は、p 型シリコン基板 1 0 の表面部に n 型層 1 2 が形成されたウェハを示している。このウェハに対して、図 5 に示すように、素子分離絶縁膜 1 1 を埋め込み形成し、島状の n 型シリコン層 1 2 がマトリクス状に配列された状態を得る。具体的に例えば、素子分離領域に p 型シリコン基板 1 0 に達する素子分離溝を形成し、この素子分離溝にシリコン酸化膜を埋め込む、S T I (S h a l l o w T r e n c h I s o l a t i o n) 法により素子分離絶縁膜 1 1 を形成する。

## 【 0 0 3 3 】

この後、図 6 に示すように、アルミニウム等の金属膜を堆積し、パターニングして、ワード線 2 1 を形成する。ワード線 2 1 は、n 型シリコン層 1 2 の片側よりにパターン形成されて、シリコン層 1 2 との間にショットキーダイオード S D が形成される。

## 【 0 0 3 4 】

次いで、図 7 に示すように、ワード線 2 1 を覆って平坦な層間絶縁膜 2 2 を形



成し、各  $n$  型シリコン層 1 2 のカソード側端部を露出させるコンタクト孔 3 1 を形成する。そして、図 8 に示すように、コンタクト孔 3 1 を介してイオン注入を行って  $n^+$  型層 2 6 を形成した後、コンタクト孔 3 1 にカソード電極となる金属プラグ 2 3 を埋め込む。

#### 【 0 0 3 5 】

次に、図 9 に示すように、金属プラグ 2 3 が埋め込まれた層間絶縁膜 2 2 上にカルコゲナイド層 2 4 を形成し、更にその上に金属膜によりビット線 2 5 を形成する。前述したように、カルコゲナイド層 2 4 の中のビット線 2 5 と金属プラグ 2 3 の対向する部分が実際のセル領域となる抵抗素子  $V_R$  となる。

#### 【 0 0 3 6 】

この実施の形態の場合、最小加工寸法を  $F$  として、ビット線 2 5 の長手方向については、ワード線 2 1 及び金属プラグ 2 3 を  $3F$  ピッチで形成し、ワード線 2 1 の長手方向については、ビット線 2 5 と金属プラグ 2 3 を  $2F$  ピッチで形成することができる。従って、単位セル面積は、 $6F^2$  となる。

#### 【 0 0 3 7 】

上の例では、カルコゲナイド層 2 4 は、層間絶縁膜 2 2 上の全面に形成したが、これをセル領域のみに残してパターニングしてもよい。その場合のセルアレイ断面構造を、図 3 A に対応させて図 1 0 に示す。カルコゲナイド層 2 4 は、セルにとって必要な相変化層である抵抗素子  $V_R$  となる部分を残して除去して、その周囲には層間絶縁膜 3 2 を埋め込んでいる。これにより、抵抗素子  $V_R$  は、広がり抵抗のない状態になり、結晶状態と非晶質状態の抵抗比や熱伝導率比がより大きいものとなる。

#### 【 0 0 3 8 】

ショットキーダイオードに代わって  $p-n$  接合ダイオードを用いた一例のセルアレイ断面構造を、図 3 A に対応させて示すと、図 1 1 のようになる。ワード線 2 1 が形成される領域の  $n$  型シリコン層 1 2 に  $p$  型層 3 3 を形成して、ワード線 2 1 はこの  $p$  型層 3 3 にオーミック接触させる。これにより、 $p-n$  接合ダイオードを持ちたセルアレイが得られる。

#### 【 0 0 3 9 】



ここまでの例は、各素子領域の  $n$  型シリコン層 1 2 が、互いに  $p-n$  接合により分離される。これに対して、各  $n$  型シリコン層 1 2 を、絶縁分離されたフローティング状態とすることもできる。図 1 2 は、その様な例のセルアレイ断面構造を、図 3 A に対応させて示している。 $n$  型シリコン層 1 2 の底部には、シリコン酸化膜 3 4 が埋設されて、 $p$  型シリコン基板 1 0 とは分離されている。具体的には、シリコン基板上にシリコン酸化膜で分離されたシリコン層を有する、いわゆる SOI ウェハを用いることより、この様な構造が得られる。この構造を用いると、各セル間のリークがない優れた特性が得られる。

## 【 0 0 4 0 】

ダイオード SD は、前述のように極性が逆であってもよく、図 1 3 は、その様な例のセルアレイ断面構造を、図 3 A に対応させて示している。この例では、金属プラグ 2 3 と  $n$  型シリコン層 1 2 の間でショットキー接合を構成するダイオード SD を形成している。ワード線 2 1 と  $n$  型シリコン層 1 2 は、オーミック接触させるべく、この部分に  $n^+$  型層 2 6 を形成している。 $p-n$  接合ダイオードの場合も同様である。

## 【 0 0 4 1 】

なお、以下の実施の形態では、ワード線側をアノードとするショットキーダイオードを用いる場合について専ら説明するが、以下の実施の形態でも図 1 0 ～図 1 3 で説明した種々の変形が可能である。

## 【 0 0 4 2 】

図 1 4 は、図 1 のセルアレイを実現する他のセルアレイ構成の平面図であり、図 1 5 A 及び図 1 5 B はその I - I' 及び II - II' 断面図である。この実施の形態では、絶縁性基板を用いてこの上にセルアレイを構成する。絶縁性基板として図の例では、シリコン酸化膜 4 1 で表面が覆われたシリコン基板 4 0 を用いている。この基板上に、金属膜によるワード線 (WL) 4 2 が形成され、ワード線 4 2 の間は層間絶縁膜 4 3 が埋め込まれて平坦化されている。

## 【 0 0 4 3 】

ワード線 4 2 上に、各セル領域毎に分離された多結晶の  $n$  型シリコン層 4 4 が形成されて、ワード線 4 2 との間にショットキー接合を構成するダイオード SD

が作られている。n型シリコン層44の表面には $n^+$ 型層45が形成され、ここにオーミック電極（カソード電極）47が形成されている。ショットキーダイオードの周囲には層間絶縁膜47が埋め込まれて平坦化されている。その上に、カルコゲナイド層48が形成され、更にこの上に金属膜によるビット線（BL）49がパターン形成されている。

#### 【0044】

この実施の形態の場合も、カルコゲナイド層48の中のビット線49とオーミック電極46が対向する領域が実際のセル領域（相変化領域）である可変抵抗素子VRとなり、図1のセルアレイが構成される。

#### 【0045】

図16～図19は、図15Aの断面に着目して製造工程を示している。図16に示すように、基板上に金属膜の堆積とパターニングによりワード線42を形成し、各ワード線42の間に層間絶縁膜43を埋め込む。この工程は逆であってもよい。即ち層間絶縁膜43を先に堆積してこれに配線溝を形成し、この配線溝にワード線42を埋め込むという、ダマシーン法によってもよい。

#### 【0046】

次に、図17に示すように、n型多結晶シリコン層44を形成し、その表面部に $n^+$ 型層25を形成した後、更にオーミック電極膜46を形成する。これにより、n型層44とワード線42の間にショットキー接合を持つダイオードSDが形成される。続いて、図18に示すように、電極膜46からn型シリコン層44までを、リソグラフィとRIEにより、各セル領域に丸いパターンで残るようにエッチングする。これにより、ショットキーダイオードSDが飛び飛びにワード線42上に配置された状態になる。

#### 【0047】

この後、図19に示すように、ショットキーダイオードSDの周囲に平坦に素子分離絶縁膜47を埋め込む。続いて、図15A，Bに示すように、カルコゲナイド層48を堆積し、更にその上にビット線49を形成する。

#### 【0048】

この実施の形態によると、ダイオードがワード線上に形成されるから、先の実

施の形態に比べてセルアレイの単位セル面積を小さいものとすることができる。即ち、ワード線WLをライン/スペース=1F/1Fで形成し、ビット線BLを同じくライン/スペース=1F/1Fで形成することにより、単位セル面積は、 $4F^2$ となる。

## 【0049】

またこの実施の形態の場合、セルアレイは、絶縁性基板上に膜堆積とパターニングにより形成されるから、ダイオードSDと抵抗素子VRの上下関係を逆にすることもできる。更に、膜堆積とパターニングを繰り返すことによって、セルアレイを多層に積層することも容易にできる。

## 【0050】

具体的に、セルアレイを多層化する実施の形態を、以下に説明する。図20～図22は、ビット線BLを共有して二つのセルアレイMA0, MA1を積層した例を、各素子の配置関係を異ならせた3つの態様について、等価回路的に示している。

## 【0051】

図20では、ワード線WLにダイオードSDのアノードを接続し、ビット線BL側に可変抵抗素子VRが配置されたメモリセルMC構成として、ビット線BLを共有して上下のセルアレイMA0, MA1を構成している。図では、上下のセルアレイのセルが選択されたときのセル電流の方向を示している。

図21では、下部セルアレイMA0では、ワード線WLにダイオードSDのアノードを接続し、ビット線BL側に可変抵抗素子VRが配置されたメモリセルMC構成とするのに対し、上部セルアレイMA1では、ビット線BLにダイオードSDのカソードを接続し、ワード線WL側に可変抵抗素子VRが配置されたメモリセルMC構成として、ビット線BLを共有して上下のセルアレイMA0, MA1を構成している。

## 【0052】

図22は、図20とはダイオードSDと抵抗素子VRの配置を逆に行っている。即ちビット線BLにダイオードSDのカソードを接続し、ワード線WL側に抵抗素子VRが配置されたメモリセルMC構成として、ビット線BLを共有して上下

のセルアレイMA0, MA1を構成している。図21, 図22ともセル電流の方向は同じである。

### 【0053】

図20～図22は、いずれも、非選択状態で、ビット線BLを“H”レベル（例えば、1.8V）とし、ワード線WLを“L”レベル（例えば、0V）とする。そして、上下のセルアレイMA0, MA1のいずれか一方について、選択されたワード線を“H”レベル、選択されたビット線BLを“L”レベルとすれば、他方のセルアレイではダイオードが順バイアスにはならず、上下のセルアレイMA0, MA1を互いに独立にアクセスすることも可能になる。

### 【0054】

図23～図25は、それぞれ図20～図22のセルアレイMA0, MA1の積層構造を示している。これらの図で、図15Aと対応する部分に、上下のセルアレイの間で“a”, “b”を番号に付けて区別した同じ番号を用いている。図23では、下部セルアレイMA0の構造は、図15Aと同じである。この下部セルアレイMA0上に、その最上部のビット線49を共有するように、上部セルアレイMA1が積層されている。上部セルアレイMA1の膜積層順は、下部セルアレイMA0と逆であり、ビット線49上にカルコゲナイド層48bが形成される。この上に、オーミック電極膜46b、下部に $n^+$ 型層45bが形成されたn型シリコン層44b、ワード線42bが積層されている。

### 【0055】

図24においても、下部セルアレイMA0は、図15Aと同じである。この上に積層される上部セルアレイMA1の膜積層順序が、図23とは異なる。即ちビット線49上に、底部に $n^+$ 型層45bが形成されたn型シリコン層44bと金属膜46bが積層形成されて、ダイオードSDが構成されている。金属膜46bは、図23のオーミック電極46aとは異なり、n型シリコン層44aとの間でショットキー接合を形成する。そしてダイオードSDが形成された上に、カルコゲナイド層48bが形成され、更にこの上にワード線42bが形成される。

### 【0056】

図25では、下部セルアレイMA0のダイオードSDと抵抗素子VRの積層順



が図 1 5 A とは逆である。ワード線 4 2 a が埋め込まれた面にまず、抵抗素子 V R を構成するカルコゲナイド層 4 8 a が形成される。この上に、金属膜 4 6 a、n 型シリコン層 4 4 a が形成され、金属膜 4 6 a との間にショットキー接合を形成している。n 型シリコン層 4 4 a の表面に  $n^+$  型層 4 5 a が形成され、これにコンタクトするようにビット線 4 9 が形成される。ビット線 4 9 上には、図 2 3 と同様の積層構造の上部セルアレイ M A 1 が形成される。

## 【 0 0 5 7 】

図 2 0 ～図 2 2 の等価回路及びこれらに対応する図 2 3 ～図 2 5 の断面構造で示したのは、ビット線を共有してセルアレイを積層したものであるが、上下のセルアレイで配線等を共有することなく単純に積層することも可能である。図 2 6 は、その様な例を示している。これは、図 1 5 A に示すセルアレイ構成を、層間絶縁膜 5 1 を間に挟んで繰り返し積層したものである。下部セルアレイ M A 0 と上部セルアレイ M A 1 は、電氣的に分離された状態となる。この様に、電氣的に完全に分離された状態でセルアレイを積層すれば、上下セルアレイの間で、ダイオードの極性や電位関係は自由に選択することができる。

## 【 0 0 5 8 】

更に、上下のセルアレイがワード線を共有して積層されるようにすることもできる。図 2 7 は、その様な例の等価回路を示しており、下部セルアレイ M A 0 と上部セルアレイ M A 1 のワード線 W L が共有されている。ワード線またはビット線を共有して積層されて上下に隣接するセルアレイは、ビット線またはワード線が独立であるから、同時にアクセスすることができる。このことから、ワード線またはビット線を共有するセルアレイ部の用途は拡がり、多値メモリ等に有効になる。この点は、後述する。図では、共有ワード線 W L が選択されたときの上下セルアレイの一つずつのセル電流を矢印で示している。

## 【 0 0 5 9 】

図 2 8 は、図 2 7 に示したセルアレイ M A 0、M A 1 の積層構造を示す断面図である。この図でも、図 1 5 A と対応する部分に、上下のセルアレイの間で “a”，“b” を番号に付けて区別した同じ番号を用いている。シリコン酸化膜 4 1 で覆われたシリコン基板 4 0 上にまず、ビット線 (B L 0) 4 9 a が複数本配列



形成される。ビット線 4 9 a の間は層間絶縁膜で埋め込まれる。この上に、カルコゲナイド層 4 8 a が形成される。

#### 【 0 0 6 0 】

カルコゲナイド層 4 8 a の上には、各ビット線 4 9 a 上に飛び飛びに位置するようにダイオード S D が形成される。即ち、オーミック電極 4 6 a、 $n^+$ 型シリコン層 4 5 a、 $n$ 型シリコン層 4 4 a の積層膜をパターニングして、金属膜 5 0 と  $n$  型シリコン層 4 4 a によりショットキーダイオード S D の本体部が作られる。ダイオード本体部の周囲は層間絶縁膜で埋められて平坦化される。

#### 【 0 0 6 1 】

そして、ダイオード S D のアノード電極となり且つ、ビット線とは交差する方向にダイオード S D を共通接続するワード線 (W L) 4 2 が形成される。即ちワード線 4 2 と  $n$  型シリコン層 4 4 a の間にショットキー接合が形成される。なお、より好ましいショットキーダイオードを作るためには、ワード線 4 2 とは別に、 $n$  型シリコン層 4 4 a にショットキー接触する金属膜を形成すればよい。

#### 【 0 0 6 2 】

ワード線 4 2 の間は層間絶縁膜により埋められて平坦化される。そしてこの上に、 $n$  型シリコン層 4 4 b、 $n^+$ 型シリコン層 4 5 b 及びオーミック電極 4 6 b の積層膜をパターニングして、ショットキーダイオード S D が形成される。ワード線 4 2 と  $n$  型シリコン層 4 4 b の間にショットキー接合が形成される。ダイオード S D の周囲は層間絶縁膜で埋められて平坦化され、更にこの上にカルコゲナイド層 4 8 b が形成される。カルコゲナイド層 4 8 b の上に、ビット線 (B L 1) 4 9 b がパターン形成される。

#### 【 0 0 6 3 】

以上のようにして、ワード線を共有してセルアレイを積層することができる。図 2 7 及び図 2 8 では、上下のセルアレイでダイオード S D と抵抗素子 V R の積層順が逆の例を示しているが、同じ積層順であってもよい。また各セルアレイ M A 0, M A 1 内での抵抗素子 V R とダイオード S D の積層順も逆にすることができる。即ち、選択ワード線 W L を “H” レベル、選択ビット線 B L を “L” レベルとしてアクセスする方式であれば、上下セルアレイ共に、ワード線 W L 側がア

ノードとなる極性にダイオードSDが配置されていれば、ダイオードSDと抵抗素子VRの積層順序は問わない。

#### 【 0 0 6 4 】

先に説明したビット線を共有してセルアレイを積層する方式と、ワード線を共有してセルアレイを積層する方式を組み合わせれば、上下に隣接するセルアレイ間でワード線及びビット線を共有して、3層以上の多層にセルアレイを重ねることができ、3次元構造の大容量メモリを得ることができる。

また、図23～図26及び図28に示す積層セルアレイ構造は、いずれも、ビット線とワード線を共に、1F/1Fのライン/スペースで形成される。これによりセルアレイの高密度化が可能である。後述する3層以上のセルアレイを積層する場合も同様である。

#### 【 0 0 6 5 】

図29は、セルアレイのワード線WLやビット線BLの選択回路の構成例を示している。ワード線WLは、選択信号/W Sにより駆動される選択トランジスタであるPMOSトランジスタQP1を介して高電位電源線WPSに接続され、ビット線BLは、選択信号BSにより駆動される選択トランジスタであるNMOSトランジスタQN0を介して低電位電源線BPSに接続される。ワード線WLはまた、選択信号/W Sにより駆動されるリセット用NMOSトランジスタQN1によりVssに接続され、ビット線BLは選択信号BSにより駆動されるリセット用PMOSトランジスタQP0によりVccに接続される。

#### 【 0 0 6 6 】

選択信号/W S, BSは、アドレスデコーダの出力であり、非選択状態で/W S = “H”, BS = “L”である。従って、非選択状態では、選択トランジスタQP1, QN0はオフであり、リセット用トランジスタQN1, QP0がオンであって、ワード線WLはVssの“L”レベルに、ビット線BLは、Vccの“H”レベルに保持される。選択状態になると、リセット用トランジスタQN1, QP0がオフ、選択トランジスタQP1, QN0がオンになり、ワード線WL、ビット線BLはそれぞれ、高電位電源線WPS、低電位電源線BPSに接続され、必要な正論理パルス、負論理パルスが与えられる。

## 【 0 0 6 7 】

次に、この発明によるセルアレイに適用されるセンスアンプ回路の基本構成を、図30に示す。これは、後述する多値記憶を実現する場合のセンスアンプ方式に発展させるに好ましい構成例として示している。図30に示すセンスアンプ回路SAは、選択セルに流れる電流を電圧に変換する素子である抵抗R1、R2、ダミーセルDMC、ダミーセルDMCに流れる電流を電圧に変換する抵抗r1、r2、及びオペアンプOP0、OP1を備えて構成された電流検出型センスアンプである。

## 【 0 0 6 8 】

高電位電源線WPSと低電位電源線BPSは、図29と同様に、それぞれセルアレイの選択されたワード線WLとビット線BLに“H”レベル（例えば、 $V_{cc} = 1.8V$ ）と“L”レベル（例えば、 $V_{ss} = 0V$ ）を与えるための正論理パルスと負論理パルスが与えられる。

## 【 0 0 6 9 】

セルアレイの中のあるワード線WLが、ロウアドレスデコーダの出力である選択信号WSにより駆動される選択PMOSトランジスタQP1により選択されて、抵抗R1を介して高電位電源線WPSに接続される。またビット線BLは、カラムアドレスデコーダの出力である選択信号BSにより駆動される選択NMOSトランジスタQN0により選択されて、抵抗R0を介して低電位電源線BPSに接続される。

## 【 0 0 7 0 】

メモリセルMCと等価なダミーセルDMCは、ダミーダイオードDSDとダミー抵抗素子DVRから構成されて、メモリセルMCの二値データの抵抗値の間の中間の抵抗値を持つものとする。ダミーセルDMCの一端は、PMOSトランジスタQP2を介し、抵抗r1を介して高電位電源線WPSに接続される。PMOSトランジスタQP2は、選択PMOSトランジスタQP1のダミー素子であり、常時オン駆動されている。ダミーセルDMCの他端は、NMOSトランジスタQN2を介し、抵抗r0を介して低電位電源線BPSに接続される。NMOSトランジスタQN2は、選択NMOSトランジスタQN0のダミー素子であり、常

時オン駆動されている。

#### 【 0 0 7 1 】

センスアンプ本体は、二つのオペアンプ  $OP0$ 、 $OP1$  により構成される。オペアンプ  $OP0$  の非反転入力端子には、抵抗  $R0$  の適当な中間点の電圧が入力され、反転入力端子には抵抗  $r0$  と NMOS トランジスタ  $QN0$  の接続ノードの電圧が入力される。オペアンプ  $OP1$  の反転入力端子には、抵抗  $R1$  の適当な中間点の電圧が入力され、非反転入力端子には抵抗  $r1$  と PMOS トランジスタ  $QP2$  の接続ノードの電圧が入力される。

#### 【 0 0 7 2 】

この様に構成されたセンスアンプ回路  $SA$  の動作を説明する。前述のように、非選択状態では、ワード線  $WL$  は “L” レベルに、ビット線  $BL$  は “H” レベルに保持されている。ワード線選択信号  $WS$  が “L”、ビット線選択信号  $BS$  が “H” になり、高電位電源線  $WPS$  に “H” レベルが  $V_{cc}$  の正論理パルスが、低電位電源線  $BPS$  に “L” レベルが  $V_{ss}$  の負論理パルスがそれぞれ与えられると、選択されたメモリセル  $MC$  にセル電流が流れる。

#### 【 0 0 7 3 】

具体的に、抵抗  $R0$ 、 $R1$ 、 $r0$ 、 $r1$  の関係は例えば、抵抗  $R0$  のオペアンプ  $OP0$  への電圧出力中間端子から端子  $BPS$  までの抵抗値が抵抗  $r0$  と同じとし、同様に抵抗  $R1$  のオペアンプ  $OP1$  への電圧出力中間端子から端子  $WPS$  までの抵抗値が抵抗  $r1$  と同じとする。選択セルが高抵抗状態のデータ “0” であって、ダミーセル  $DMC$  側に流れる電流に比べてセル電流が小さいと、オペアンプ  $OP0$ 、 $OP1$  の出力は共に “L” となる。逆に、選択セルが低抵抗状態のデータ “1” であって、ダミーセル  $DMC$  側に流れる電流に比べて大きなセル電流が流れると、オペアンプ  $OP0$ 、 $OP1$  の出力は共に “H” となる。即ち、図 3 2 に示す論理により、データ “0”、 “1” の判別ができる

#### 【 0 0 7 4 】

なお、図 3 0 のセンスアンプ構成は、後に説明する多値記憶を考慮したものであって、上述した二値記憶のみを考えた場合には、オペアンプ  $OP0$ 、 $OP1$  のいずれか一方のみ用いてもよい。或いはオペアンプ  $OP0$ 、 $OP1$  の一方の反転



入力端子と非反転入力端子の接続関係を逆にすることもできる。これにより、二つのオペアンプOP0, OP1の出力は、データに応じて一方が“H”, 他方が“L”となる。従って更にこれらの二つのオペアンプ出力を入力するオペアンプを用意すれば、データ“0”, “1”を“H”, “L”に対応させたセンス出力を得ることができる。

## 【0075】

次に、図27及び図28で説明した、ワード線WLを共有して積層された2層のセルアレイMA0, MA1により多値記憶を行う場合について、図30のセンスアンプ回路SAを発展させた4値記憶用のセンスアンプ回路SAを、図31に示す。図31のセンスアンプ回路SAは、下部セルアレイのビット線BL0と共有ワード線WLにより選択されるメモリセルMC0、ダミーセルDMC0についての電流電圧変換用抵抗R0, R1, r0, r1、オペアンプOP0, OP1の部分は、図30と同じである。上部セルアレイの共有ワード線WLとビット線BL1により選択されるメモリセルMC1についても、ワード線WL側の回路を下部セルアレイと共有して同様の構成とする。

## 【0076】

上部セルアレイ側のビット線BL1は、選択NMOSトランジスタQN3を介し、抵抗R2を介して低電位電源線BPSに接続される。また低電位電源線BPSと高電位電源線WPSの間に、抵抗r2, r1を介してダミーセルDMC1が接続され、オペアンプOP2が用意される。オペアンプOP2の反転入力端子には、抵抗r2とダミーNMOSトランジスタQN4の接続ノードが接続され、非反転入力端子には、抵抗R2の中間点b1の電圧が入力される。

## 【0077】

このようなセンスアンプ回路SAの構成により、同時に選択される上部セルアレイのメモリセルMC1のデータ状態“0”, “1”と、下部セルアレイのメモリセルMC0のデータ状態“0”, “1”の組み合わせによって、4値データの判別ができる。図31には、共有ワード線WLが選択され、ビット線BL0, BL1が選択されたときにメモリセルMC0, MC1に流れるセル電流Ic0, Ic1の様子を示している。図3.3に示す真理値表の上部列は、メモリセルMC1



のデータ状態“0”，“1”と、メモリセルMC0のデータ状態“0”，“1”の組み合わせを示している。

## 【0078】

データ“00”（即ちメモリセルMC1，MC0が共に“0”（高抵抗状態））では、オペアンプOP1の出力OUT1が“L”である。オペアンプOP0，OP2の出力OUT0，OUT2は共に“L”であるが、これはデータ判定には用いる必要がなく、“－”で示している。これは以下の説明でも同様とする。データ“01”（即ち、上部セルMC1が“0”で下部セルMC0が“1”（低抵抗状態））のときは、下部セルMC0側に大きな電流が流れるから、オペアンプOP0，OP1の出力OUT0，OUT1は“H”になり、オペアンプOP2の出力OUT2は“L”である。データ“10”（上部セルMC1が“1”で下部セルMC0が“0”）のときは、上部セルMC1側に大きな電流が流れるから、オペアンプOP1，OP2の出力OUT1，OUT2が“H”になり、オペアンプOP0の出力OUT0は“L”である。従って、データ“01”と“10”は、OUT2，OUT1の“L”，“H”と、OUT1，OUT0の“H”，“L”により判別できる。

## 【0079】

データ“11”（上下セルMC1，MC0が共に“1”）の場合には、両方に大きな電流が流れ、オペアンプOP0－OP2の出力OUT0－OUT2は全て“H”になる。以上により、図33に示す真理値表により、3つのオペアンプの出力OUT0－OUT2の組み合わせによって、上下セルアレイの二つのセルによる4値記憶ができる。

## 【0080】

次に、3層の積層セルアレイにより8値メモリを構成する例を説明する。図34は、3層セルアレイの等価回路であり、最下層のビット線BL0（BL00，BL01，…）とワード線WL0（WL00，WL01，…）に挟まれたメモリセルによりセルアレイMA0が構成される。そのワード線WL0を共有してその上部にセルアレイMA1が構成され、それらこのセルアレイMA1のビット線BL1（BL10，BL11，…）を共有して更にセルアレイMA2が重ねられて

いる。

#### 【 0 0 8 1 】

図 3 4 には、3 層のセルアレイ MA 0 - MA 2 の一つずつのセルが選択されたときのセル電流の方向を示している。この様な 3 層セルアレイで 8 値記憶を行う場合のセンスアンプ回路を、図 3 1 のセンスアンプ構成をそのまま発展させて示したのが、図 3 5 である。この場合、第 1 のセルアレイ MA 0 のビット線 BL 0 の電流検知に用いられるオペアンプ OP 0、共有ワード線 WL 0 の電流検知に用いられるオペアンプ OP 1、共有ビット線 BL 1 の電流検知に用いられるオペアンプ OP 2、最上部のワード線 WL 1 の電流検知に用いられるオペアンプ OP 3 が設けられる。

#### 【 0 0 8 2 】

図 3 5 には、3 層のセルアレイの中で同時に選択されるセル MC 0、MC 1、MC 1 に流れるセル電流  $I_{c0}$ 、 $I_{c1}$ 、 $I_{c2}$  の様子を示している。この様なセンスアンプ回路構成を用いた場合の多値セル状態を検出したときの真理値表を示すと、図 3 6 のようになる。図 3 6 の上部の行は、上部セルアレイ MA 2 のセル MC 2、中間セルアレイ MA 1 のセル MC 1、下部セルアレイ MA 0 のセル MC 0 のデータ状態の組み合わせである。図 3 6 から、データ状態 “1 0 1” と “1 1 1” の場合には、全てのオペアンプの出力が “H” になり、縮退して区別が付かなくなる。このとき、ワード線 WL 1 からセル MC 2 を通ってビット線 BL 1 に大きなセル電流が流れ、同様にワード線 WL 0 からセル MC 0 を通ってビット線 BL 0 に大きなセル電流が流れて、中間のセル MC 1 のデータ状態に拘わらず、全てのオペアンプ OP 0 - OP 3 の出力が “H” になるためである。

#### 【 0 0 8 3 】

従って、8 値データを全部有効に利用するためには、データ “1 0 1”，“1 1 1” を区別できるセンスアンプ回路方式が必要になる。これは、上部セル MC 2、下部セル MC 0 が共に “1” であって、中間セル MC 1 が “0” の場合と “1” の場合との相違は、ワード線 WL 0 に流れる電流値が異なるという事実を利用すればよい。即ち、セル MC 0 が “1” であり、セル MC 1 が “0” であれば、ワード線 WL 0 からセル MC 0 のみに大きな電流が流れるのに対し、セル MC

0, MC 1 が共に “1” であれば、ワード線WL 0 からセルMC 0, MC 1 に対して共に大きな電流が流れるから、ワード線WL 0 の電流に着目すると、2 倍の電流値の差が生じる。

#### 【0 0 8 4】

この点に着目して、図3 5 のセンスアンプ回路を改良したのが、図3 7 である。これは、図3 5 に示すワード線WL 0 の電流検知を行うオペアンプOP 1 の部分に、メモリセルMC 0, MC 1 が共にデータ “1” の場合と、その一方のみがデータ “1” の場合の電流値の相違を判別できるように、二つの電流検出部となるオペアンプOP 1 0, OP 1 1 を併設したものである。ワード線WL 0 に対する高電位電源線WPS 側の抵抗R 1 には、二つのタップを設けて信号w 0 1 とw 0 2 を取り出して、これらをオペアンプOP 1 0, OP 1 1 の反転入力端子に入れる。ここで、w 0 2 はw 0 1 より抵抗による電圧降下が少ない位置で取り出して、電流値がほぼ2 倍になると、1 倍の電流値でのw 0 1 の値と同じくらいの電位が出るようにする。

#### 【0 0 8 5】

即ち、ダミーセルに流れる電流と比較して、高電位電源線WPS から選択セルに向かって流れる電流がひとつの低抵抗セル (“1” データセル) に向かって流れる値の時にはOUT 1 0 が “H” で、OUT 1 1 が “L” となり、電流が二つの低抵抗セルに向かって流れる値の時にはOUT 1 0, OUT 1 1 とともに “H” となるように、抵抗R 1 のタップ出力w 0 1, w 0 2 のタップ位置を調節する。

#### 【0 0 8 6】

この様なセンスアンプ回路を用いると、ビット線BL 1 に対応するオペアンプOP 2 を用いることなく、8 値データの判別ができる。その真理値表を図3 8 に示す。3 つのセルによる8 値データ状態 (MC 2, MC 1, MC 0 の状態値) は一番上の行に示されている。ビット線BL 0 に対するオペアンプOP 0 出力OUT 0、ワード線WL 0 に対応する二つのオペアンプOP 1 0, OP 1 1 の出力OUT 1 0, OUT 1 1、ワード線WL 1 に対応するオペアンプOP 3 の出力OUT 3 の “H”, “L” の組み合わせにより、縮退のない状態で8 値を判別することができる。

## 【0087】

なお、図37に示した、ワード線での電流値区別を行うセンスアンプ回路方式は、先の4値記憶にも適用できる。即ち、図31の3つのオペアンプOP0、OP1、OP2に代わって、図37に示す3つのオペアンプOP0、OP10、OP11を用いる。このとき、図33に対応する4値の真理値表は、図39のようになる。

## 【0088】

次に、4層のセルアレイによる16値記憶のメモリ構成を説明する。図40はその等価回路であり、第1のセルアレイMA0とこの上の第2のセルアレイMA1は、ワード線WL0 (WL00, WL01, ...) を共有する。第2のセルアレイMA1とこの上の第3のセルアレイMA2とはビット線BL1 (BL10, BL11, ...) を共有する。更に、第3のセルアレイMA2とこの上の第4のセルアレイMA3は、ワード線WL1 (WL10, WL11, ...) を共有する。図では、上下の共有ワード線WL0, WL1が同時に選択されたときのセル電流の流れの方向を矢印で示している。

## 【0089】

この様な4相セルアレイの4ビットデータにより、16値記憶を行う場合のセンスアンプ回路として、図31或いは図35に示すセンスアンプ回路方式をそのまま適用したとする。図は省略するが、このときオペアンプは、最下層のビット線BL0に対してOP0、次の第1の共有ワード線WL0に対してOP1、次の共有ビット線BL1に対してOP2、次の第2の共有ワード線WL1に対してOP3、最上層のビット線BL2に対してOP4の5つが設けられる。

## 【0090】

この様なセンスアンプ方式とした場合の、5つのオペアンプOP0-OP4の出力をOUT0-OUT4として16値の真理値表を示すと、図41のようになる。上部の行が、16値のセル状態（セルアレイMA3の選択セル、セルアレイMA2の選択セル、セルアレイMA1の選択セル、セルアレイMA0の選択セルの状態値の組み合わせ）である。

## 【0091】



この真理値表によると、多値状態の縮退が3組できている。即ち、データ“0101”と“0111”は、出力OUT4が“L”であり、残りの全出力が“H”となり、区別が付かない。データ“1010”と“1110”とは、出力OUT0が“L”であり、残りの全出力が“H”となって区別が付かない。また、データ“1011”，“1101”，“1111”は全出力が“H”となる。

## 【0092】

16値の多値状態を全て有効に活用するためには、図37のセンスアンプ回路方式、即ち、ワード線に流れる電流についてひとつのセル分が流れる場合と二つのセル分が流れる場合とを区別できる方式を用いれば良い。具体的に、図37のセンスアンプ回路方式を発展させて、4層セルアレイの16値記憶に対応させて示すと、図42のようになる。下から第1番目の共有ワード線WL0に対して、二つのオペアンプOP10，OP11を設けたと同様に、第2番目の共有ワード線WL1に対しても、二つのオペアンプOP30，OP31を設けている。これらのオペアンプOP30，OP31が、抵抗R3の二つの中間タップ出力w10，w11を反転入力端子に入力することで、ワード線WL1に一つのセル分の電流が流れる場合と二つのセル分の電流が流れる場合とを区別可能としている。

## 【0093】

この様なセンスアンプ回路により、16値記憶を行う場合の真理値表を、図43に示す。ここでは、オペアンプOP4の出力OUT4と、二つの共有ワード線WL1，WL0に対して二つずつ設けられたオペアンプOP30，OP31，OP10，OP11の出力OUT30，OUT31，OUT10，OUT11と、最下層のビット線BL0に対するオペアンプOP0の出力OUT0の5出力の組み合わせとして、16値を表している。第2のセルアレイMA1と第3のセルアレイMA2の共有ビット線BL1に対応して設けられたオペアンプOP2の出力は用いていない。

## 【0094】

図43の真理値表から、16値全てのデータが縮退することなく、判別できる。この真理値表に従って、論理回路を作り、16値出力に割り当てることにより、4層セルアレイの4つのセルによる16値の情報を判別して出力することがで

きる。

#### 【 0 0 9 5 】

以上において、縮退のない状態で多値データを判別するためのセンスアンプ回路構成を説明したが、ここまでは、ワード線WLに流れる電流が1セル分か2セル分かを検知するオペアンプを併置するものであった。これに対して、1セル分か2セル分かの検知は、ビット線BL側で行ってもよい。例えば、単位セルアレイについてのセンスアンプ回路SAとして、図30に代わって、図44の構成を用いる。ビット線側に二つのオペアンプOP00、OP01を併設し、これらの反転入力端子に抵抗R0の二つの中間タップ出力b01、b01を入力する。中間タップ出力b01、b02は、ビット線電流が流れない場合は、オペアンプOP00、OP01の出力がOUT00=L、OUT01=L、1セル分のビット線電流が流れた場合には、OUT00=H、OUT01=L、2セル分のビット線電流が流れた場合は、OUT00=OUT01=Hになるように設定する。

#### 【 0 0 9 6 】

この様なセンスアンプ回路SAを用いれば、ビット線を共有する隣接セルアレイを含む多層セルアレイによる多値記憶データの判別が可能になる。その詳細説明は省くが、例えば3層セルアレイによる8値記憶の場合であれば、図37のセンスアンプ回路SAにおけるビット線BL1側のオペアンプOP2部分を、図43に示した1セル分と2セル分のビット線電流を判別できる二つのオペアンプOP00、OP01の併設構成に置き換えることにより、縮退のないデータ判別が可能である。

#### 【 0 0 9 7 】

ビット線BLとワード線WLの両方で同様に、1セル分の電流と2セル分の電流を検知できるようにしてもよい。その様なセンスアンプ回路SAの構成を、単位セルアレイについて図45に示す。これを基本センスアンプ回路として、積層セルアレイの多値セルに対してその真理値表がもっとも簡単になる様に、出力を組み合わせて多値情報を識別できる構成とすればよい。

#### 【 0 0 9 8 】

次に多値セルにデータを書き込む書き込み回路について説明する。カルコゲナ

イドの相変化層（可変抵抗素子）セルにアモルファス状態と多結晶状態の間の相変化を生じさせるには、セルに与えるパワーの量を電圧パルス幅で制御する。短いパルスでパワーを急激に与えて冷却も速やかに行われる様にする、カルコゲナイドはアモルファス状態の部分を生じて抵抗が上がり、データ“0”状態になる。長いパルスでパワーを長い時間与え、冷却も徐々に行われるようにするとカルコゲナイドは多結晶状態となり抵抗が下がり、データ“1”状態になる。

#### 【0099】

以上の書き込み原理を利用して、多値セルへのパルスの与え方は、図29の選択回路の高電位電源線WPS及び低電位電源線BPSにそれぞれ正論理パルスと負論理パルスを同時に与えて、パルスが重なった時間だけダイオードSDが順方向になり、カルコゲナイドの可変抵抗素子VRにパワーがかかるようにする。具体的に、図27に示した積層セルアレイMA0, MA1の上下セルで4値記憶を行う場合を説明すると、図46のようになる。即ち、選択された下部ビットBL0, 上部ビット線BL1と共有ワード線WLに、書き込む多値データ状態に対応して、図46のようなパルスを与える。

#### 【0100】

多値データ状態“00”は、上部セル（ビット線BL1側）の書き込み値“0”と下部セル（ビット線BL0側）の書き込み値“0”の組み合わせで示されている。パルスが重なってパワーがかかる時間で各セルに状態が設定される。セルに“0”を書き込むには短いパルスパワーを与えてセルを高抵抗状態に、セルに“1”を書き込むには長いパルスパワーを与えてセルを低抵抗状態にする。

#### 【0101】

即ち図46のパルス印加によると、データ状態“00”書き込みの場合、上下セルとも短いパルスとなり、共に高抵抗状態になる。データ状態“01”の場合、上部セルは短いパルス印加、下部セルは長いパルス印加となり、上部セルが高抵抗状態、下部セルが低抵抗状態になる。データ状態“10”の場合、上部セルは長いパルス印加、下部セルは短いパルス印加となり、上部セルが低抵抗状態、下部セルが高抵抗状態になる。データ状態“11”書き込みの場合、上部セル、下部セル共に長いパルス印加となり、共に低抵抗状態になる。

## 【 0 1 0 2 】

図 4 7 は、上述のような長短パルスの組み合わせによる多値データの書き込み回路に用いられるパルス発生回路 1 0 0 の構成を示す。原パルス発生回路 1 0 1 は、パルス幅  $T_0$  の原パルス（正論理パルス） $P_0$  を発生する。このパルス  $P_0$  と、遅延回路 1 0 2 で遅延させたパルスを AND ゲート 1 0 3 に入力することにより、遅延回路の遅延分だけ短いパルス幅  $T_1$  のパルス（正論理パルス） $P_1$  を発生する。

## 【 0 1 0 3 】

これらの二つのパルス  $P_0$ 、 $P_1$  の重ね合わせを、書き込むべきデータ状態に応じて選択することにより、ワード線  $WL$ 、上下ビット線  $BL_1$ 、 $BL_0$  にそれぞれ必要なパルス幅の出力を発生させる。ここで、 $C_1$ 、 $C_0$  は、上述した多値データの上位ビット、下位ビットに相当する。 $C_1$ 、 $C_0$  の論理和をとる OR ゲート 1 0 5 と、その出力とパルス  $P_0$  の論理積をとる AND ゲート 1 0 4 により、 $C_0$ 、 $C_1$  の少なくとも一方が “1” のときに、ワード線  $WL$  にはパルス  $P_0$  が与えられる。 $C_1$ 、 $C_0$  が共に “0” のときは、AND ゲート 1 0 4 がオフであり、パルス  $P_1$  が OR ゲート 1 0 9 を介してワード線  $WL$  に与えられる。

## 【 0 1 0 4 】

また、 $C_1$ 、 $C_0$  とパルス  $P_0$  がそれぞれ入力される NAND ゲート 1 0 6、1 0 7 と、それらの出力とパルス  $P_1$  の反転信号の積をとる AND ゲート 1 0 8、1 0 9 によって、 $C_1$ 、 $C_0$  の “1”、“0” に応じて、パルス幅の長短が決まる負論理パルスが、ビット線  $BL_1$ 、 $BL_0$  に与えられることになる。

## 【 0 1 0 5 】

次に、図 3 4 に示す 3 層セルアレイ  $MA_0 - MA_1$  による 8 値記憶の場合について、4 値記憶の場合と同様の手法による書き込みパルス印加の様子を、図 4 8 に示す。8 値データ “0 0 0” は、上部セルアレイ  $MA_2$  のセルの書き込み値、中間セルアレイ  $MA_1$  のセルの書き込み値、下部セルアレイ  $MA_0$  のセルの書き込み値で示されている。最上部のワード線  $WL_1$ 、その下のセルアレイ  $MA_2$ 、 $MA_1$  で共有されるビット線  $BL_1$ 、その下のセルアレイ  $MA_1$ 、 $MA_0$  で共有されるワード線  $WL_0$ 、最下層のビット線  $BL_0$  に与えられる書き込みパルス波



形は、書き込む多値データ状態に対応して、図 4 8 に示すようになる。

#### 【 0 1 0 6 】

図 4 8 の書き込みパルスは、図 4 7 のパルス発生回路 1 0 0 を拡張して、同様に長短パルスをロジックにより組み合わせて作られる。しかし、図 4 8 に示すように、データ状態 “1 0 1” と “1 1 1” とは、パルス波形が同じになる縮退が生じてしまう。全ての 8 値データを異なる状態として多値セルに書き込むには、図 4 7 の回路はそのまま使用できない。

#### 【 0 1 0 7 】

これに対して、図 4 9 は、上述した縮退をなくしたパルス発生方式を示している。これは、同一パルス幅の時間差の異なる二種のパルスを作り、これを書き込みデータに対応して選択組み合わせをして、多値セルの各々に実効的にかかるパワーパルスを制御して縮退をなくしている。具体的には、長いパルス幅の原パルスに対してそのほぼ半分のパルス幅の遅延を与えたパルスを作り、これらのパルスの組み合わせを利用する。そして図 4 9 に示すように、最下層のビット線 B L 0 に与える負論理パルスを基準として、このパルスに対して、パルス幅半分を遅らせたり、同相にしたりして、ワード線 W L 1, W L 0 及びビット線 B L 1 に与える正、負論理パルスを生成している。

#### 【 0 1 0 8 】

図 4 9 に示すように、8 値データの全てが異なる重なりパルス状態で表現できている。図 5 0 は、このような書き込みパルスを発生させるパルス発生回路 2 0 0 の構成である。原パルス発生回路 2 0 1 は、長いパルス幅  $T_0$  のパルス P 0 を発生するものであり、遅延回路 2 0 2 は、このパルス P 0 を約  $T_0 / 2$  だけ遅延させる回路である。ここで、時間  $T_0$  は、カルコゲナイドにその時間パルスを印加したときに多結晶状態になり得る時間であり、 $T_0 / 2$  は、アモルファス状態になる程度の長さである。

#### 【 0 1 0 9 】

原パルス発生回路 2 0 1 の出力パルス P 0 を、インバータ 2 0 3 で反転した負論理パルスが、ビット線 B L 0 に与えられる基準パルスとなる。以下、ワード線 W L 0, ビット線 B L 1 及びワード線 W L 1 に与えるパルスの、ビット線 B L 0

に対するパルスとの関係は、8 値の書き込み状態 (C 2, C 1, C 0) を表す C 2, C 1, C 0 との論理をとって実現する。AND ゲート 2 0 4, 2 0 5 の組みは、C 0 の “1”, “0” に応じて、パルス発生回路 2 0 1 の出力パルスか、遅延回路 2 0 2 による遅延パルスかを選択するもので、これらの出力である正論理パルスが OR ゲート 2 1 0 を介して、ワード線 WL 0 に与えられる。

#### 【0 1 1 0】

同様に、AND ゲート 2 0 7, 2 0 6 の組みは、EXOR ゲート 2 1 3 による C 0, C 1 の論理に応じて、パルス発生回路 2 0 1 の出力パルスか、遅延回路 2 0 2 による遅延パルスかを選択するもので、これらの出力が NOR ゲート 2 1 1 を介して、負論理パルスとしてビット線 BL 1 に与えられる。AND ゲート 2 0 8, 2 0 9 の組みは、EXOR ゲート 2 1 4, 2 1 5 による C 0, C 1, C 2 の論理に応じて、パルス発生回路 2 0 1 の出力パルスか、遅延回路 2 0 2 による遅延パルスかを選択するもので、これらの出力が OR ゲート 2 1 2 を介して、正論理パルスとしてワード線 WL 1 に与えられる。

#### 【0 1 1 1】

以上のように、書き込みパルスを書き込み状態によって遅らせる方法は、先の 4 値記憶の場合にも適用できる。即ち、図 4 6 のパルス波形に代わって、図 5 1 のパルス波形を用いることができる。各データのパルスの重なり部分を見ると、図 4 6 と同等なパルスがセルに印加されることが分かる。

#### 【0 1 1 2】

図 5 2 は、図 5 1 の書き込みパルスを実現するパルス発生回路 2 0 0 a を示している。これは、図 5 0 におけるパルス発生回路 2 0 0 のなかの、ビット線 BL 0、ワード線 WL 0、ビット線 BL 1 に対するパルス発生部と同じ構成である。

#### 【0 1 1 3】

更に、同様の原理で、図 4 0 に示した 4 層セルアレイによる 1 6 値記憶の場合の書き込みパルス波形を示したのが、図 5 3 である。1 6 値の書き込みデータ状態は、第 4 のセルアレイ MA 3 のセルの書き込み値、第 3 のセルアレイ MA 2 のセルの書き込み値、第 2 のセルアレイ MA 1 のセルの書き込み値、第 1 のセルアレイ MA 0 のセルの書き込み値で示した。この場合も、最下層のビット線 BL 0

に対する負極性パルスが基準となる。ワード線WL0, WL1、ビット線BL1, BL2のパルスは、原パルスと遅延パルスの組み合わせで発生させることにより、全ての16値を表現できる。

#### 【0114】

図54は、そのパルス発生回路200bを示している。その要部構成は、図50と同様であり、これに加えて、ビット線BL2へのパルス発生部として、ANDゲート215, 216及び、NORゲート217が設けられている。各ANDゲートの組み(204, 205), (206, 207), (208, 209), (215, 216)に入力するlogic0, 1, 2, 3として、書き込む16値データの各ビットデータC0, C1, C2, C3から適当な論理出力信号を作れば、図53の書き込みパルスを得ることができる。

#### 【0115】

ここまでの実施の形態では、ダイオード特にショットキーダイオードを選択素子として用いることで積層と高密度化を容易にした相変化メモリのセルアレイの積層構造、更に積層セルアレイを用いた相変化多値メモリを説明した。しかし、多値メモリは、セルアレイを積層しなくても、実質的に大容量メモリを実現する上で有用である。以下、その様な相変化多値メモリの構成例を説明する。

#### 【0116】

図55は、4個の相変化層からなる可変抵抗素子VRを選択トランジスタQP10を介して共通にワード線WLに接続した16値メモリの構成例を示している。各可変抵抗素子VRの一端はそれぞれ、ビット線BL0～BL3に接続される。選択トランジスタQP10はここでは、非選択時“H”である選択信号/WSにより駆動されるPMOSトランジスタである。

#### 【0117】

この様な構成として、データ読み出しは、選択トランジスタQP10をオンにして、ワード線WLと各ビット線BL0～BL3の間に電流を流し、各ビット線の電流を検出することにより行われる。各可変抵抗素子VRの高抵抗状態(データ“0”)と低抵抗状態(データ“1”)の組み合わせによって、16値を表現することができる。

## 【 0 1 1 8 】

データ書き込みは、図 5 6 に示すように、選択トランジスタ Q P 1 0 をオンにして、ワード線 W L に与える正論理パルスと、各ビット線 B L 0 - B L 3 に与える負論理パルスの重なり幅により、データ “ 1 ” , “ 0 ” を書き込むことができる。図 5 6 の例は、ビット線 B L 0 , B L 2 に、正論理パルスの約半分のパルス幅の負論理パルス、ビット線 B L 1 , B L 3 に正論理パルスと同じ幅の負論理パルスを与えて、ビット線 B L 0 , B L 1 , B L 2 , B L 3 のセルにそれぞれ、 “ 0 ” , “ 1 ” , “ 0 ” , “ 1 ” を書く場合を示している。

## 【 0 1 1 9 】

図 5 7 は、図 5 5 に示した多値セルのレイアウトを示し、図 5 8 はその I - I ' 断面図を示している。 n 型シリコン基板 3 0 0 を用いて、ゲート電極 3 0 2 、ソース及びドレイン拡散層 3 0 3 , 3 0 4 を持つ P M O S トランジスタ Q P 1 0 が形成される。ゲート電極 3 0 2 は、選択信号線となる。トランジスタ Q P 1 0 が形成された面は層間絶縁膜 3 0 5 で覆われ、これにコンタクト孔を開けて、ソース拡散層 3 0 3 に接続される 4 個の金属プラグ 3 0 6 が埋め込まれる。更にこの層間絶縁膜 3 0 5 上にカルコゲナイド層 3 0 7 が形成され、その上にビット線 3 0 8 が形成される。ビット線 3 0 8 は層間絶縁膜 3 0 9 で覆われ、この上にドレイン拡散層 3 0 4 に接続されるワード線 3 1 0 が形成される。

## 【 0 1 2 0 】

図 5 5 の多値メモリは、選択トランジスタ Q P 1 0 に代わって、図 5 9 に示すようにダイオード S D を用いて構成することもできる。特にダイオード S D を、半導体膜を用いて形成するショットキーダイオードとすれば、先に説明したように絶縁性基板を用いて、この多値セルアレイを積層した構造も容易に形成できる。

## 【 0 1 2 1 】

図 6 0 は、図 5 9 の多値セルアレイを積層した構造例を示し、図 6 1 はその積層構造の等価回路を示している。絶縁膜 4 0 1 で覆われシリコン基板 4 0 0 上にビット線 ( B L ) 4 0 8 を共有して、セルアレイ M A 0 , M A 1 が積層されている。下部セルアレイ M A 0 は、絶縁膜 4 0 1 上に形成されたワード線 ( W L 0 )



5 2 a、この上に半導体膜により形成されたダイオードSD及びこの上に形成されたビット線4 0 8を有する。4個のビット線4 0 8は、ダイオードSDを共有する。

#### 【0 1 2 2】

ダイオードSDは、n型シリコン層4 0 4 aとショットキー障壁を構成する金属電極4 0 3 aとから構成される。n型シリコン層4 0 4 aの表面には $n^+$ 型層4 0 5 aが形成され、更にオーミック電極4 0 6 aが形成されている。このダイオードSD上にカルコゲナイド層4 0 7 aが形成され、このカルコゲナイド層4 0 7 a上に複数のビット線(BL) 5 8が形成されている。上下セルアレイMA 0, MA 1の対応する部分の番号は“a”, “b”を付して区別しており、従って詳細説明は省くが、下部セルアレイMA 0と積層順序を逆にして、ビット線を共有する上部セルアレイMA 1が形成される。

#### 【0 1 2 3】

以上のような積層構造を採用することにより、大容量メモリを実現することができる。図6 0の積層構造を発展させて、ワード線4 0 2 bを共有する第3のセルアレイを積層することもできるし、同様の積層の繰り返しで多層のセルアレイ積層構造を得ることができる。

#### 【0 1 2 4】

図6 2は更に、図5 9の多値セルアレイを、ビット線やワード線を層間で共有させることなく、単純積層した例である。上下セルアレイMA 0, MA 1の対応する部分の番号は“a”, “b”を付して区別してあるが、両者は層間絶縁膜4 1 0により分離されて、同じ膜積層順序で積層されている。この様な積層構造であっても、大容量メモリを実現することができる。

#### 【0 1 2 5】

#### 【発明の効果】

以上述べたようにこの発明によれば、高性能化や高密度化が可能な相変化メモリが得られる。

#### 【図面の簡単な説明】

#### 【図 1】

この発明の実施の形態によるセルアレイの等価回路を示す図である。

【図 2】

同セルアレイの平面図である。

【図 3 A】

図 2 の I - I' 断面図である。

【図 3 B】

図 2 の II - II' 断面図である。

【図 3 C】

図 2 の III - III' 断面図である。

【図 4】

同セルアレイの製造工程を説明するための基板断面図である。

【図 5】

同じく素子分離工程を示す図である。

【図 6】

同じくダイオード及びワード線形成工程を示す断面図である。

【図 7】

同じく層間絶縁膜形成とコンタクト形成工程を示す断面図である。

【図 8】

同じく金属プラグ埋め込み工程を示す断面図である。

【図 9】

同じくカルコゲナイド層及びビット線形成工程を示す断面図である。

【図 1 0】

他のセルアレイ構造を図 3 A に対応させて示す断面図である。

【図 1 1】

他のセルアレイ構造を図 3 A に対応させて示す断面図である。

【図 1 2】

他のセルアレイ構造を図 3 A に対応させて示す断面図である。

【図 1 3】

他のセルアレイ構造を図 3 A に対応させて示す断面図である。

【図 1 4】

他のセルアレイの平面図である。

【図 1 5 A】

図 1 4 の I - I' 断面図である。

【図 1 5 B】

図 1 4 の II - II' 断面図である。

【図 1 6】

同セルアレイの製造工程におけるワード線形成工程を示す断面図である。

【図 1 7】

同じくダイオード形成工程を示す断面図である。

【図 1 8】

同じくダイオード分離工程を示す断面図である。

【図 1 9】

同じく層間絶縁膜による平坦化工程を示す断面図である。

【図 2 0】

ビット線を共有するセルアレイの積層構造例を示す等価回路図である。

【図 2 1】

ビット線を共有するセルアレイの他の積層構造例を示す等価回路図である。

【図 2 2】

ビット線を共有するセルアレイの他の積層構造例を示す等価回路図である。

【図 2 3】

図 2 0 対応のセルアレイ積層構造を示す断面図である。

【図 2 4】

図 2 1 対応のセルアレイ積層構造を示す断面図である。

【図 2 5】

図 2 2 対応のセルアレイ積層構造を示す断面図である。

【図 2 6】

配線を共有しないセルアレイの積層構造を示す断面図である。

【図 2 7】

ワード線を共有するセルアレイの積層構造例を示す等価回路図である。

【図 28】

図 27 対応のセルアレイ積層構造を示す断面図である。

【図 29】

セルアレイのビット線及びワード線選択回路の構成を示す図である。

【図 30】

実施の形態に用いられるセンスアンプ回路の基本構成を示す図である。

【図 31】

2 層の積層セルアレイによる 4 値記憶を行う場合のセンスアンプ回路の構成を示す図である。

【図 32】

図 30 のセンスアンプ回路の動作を説明するための真理値表である。

【図 33】

図 31 のセンスアンプ回路の動作を説明するための真理値表である。

【図 34】

3 層の積層セルアレイの等価回路図である。

【図 35】

3 層の積層セルアレイによる 8 値記憶を行う場合のセンスアンプ回路の構成を示す図である。

【図 36】

図 35 のセンスアンプ回路の動作を説明するための真理値表である。

【図 37】

図 35 のセンスアンプ回路を改良したセンスアンプ回路の構成を示す図である。

【図 38】

図 37 のセンスアンプ回路の動作を説明するための真理値表である。

【図 39】

図 37 のセンスアンプ回路の一部を 4 値記憶に適用した場合の動作を説明するための真理値表である。



【図 4 0】

4 層の積層セルアレイの等価回路図である。

【図 4 1】

4 層の積層セルアレイによる 1 6 値記憶に図 3 5 のセンスアンプ回路方式を適用した場合の動作を説明するための真理値表である。

【図 4 2】

4 層の積層セルアレイによる 1 6 値記憶に好ましいセンスアンプ回路の構成を示す図である。

【図 4 3】

図 4 2 のセンスアンプ回路を用いた 1 6 値記憶の動作を説明するための真理値表である。

【図 4 4】

縮退解消のための他のセンスアンプ回路方式を示す図である。

【図 4 5】

縮退解消のための好ましいセンスアンプ回路方式を示す図である。

【図 4 6】

2 層積層セルアレイによる 4 値データの書き込みパルスを示す図である。

【図 4 7】

同書き込みパルスを発生するためのパルス発生回路の構成を示す図である。

【図 4 8】

3 層積層セルアレイによる 8 値データの書き込みパルス（縮退あり）を示す図である。

【図 4 9】

3 層積層セルアレイによる 8 値データの書き込みパルス（縮退なし）を示す図である。

【図 5 0】

図 4 9 の書き込みパルスを発生するためのパルス発生回路の構成を示す図である。

【図 5 1】

図 4 9 の書き込みパルス方式を 4 値データ書き込みに適用した場合の書き込みパルスを示す図である。

【図 5 2】

図 5 1 の書き込みパルスを発生するためのパルス発生回路の構成を示す図である。

【図 5 3】

4 層積層セルアレイによる 1 6 値データの書き込みパルスを示す図である。

【図 5 4】

図 5 3 の書き込みパルスを発生するためのパルス発生回路の構成を示す図である。

【図 5 5】

他の多値記憶相変化メモリのメモリセル構成を示す等価回路である。

【図 5 6】

同メモリセルの書き込みパルスを示す図である。

【図 5 7】

同メモリセルアレイの平面図である。

【図 5 8】

図 5 7 の I - I' 断面図である。

【図 5 9】

他の多値記憶相変化メモリのメモリセル構成を示す等価回路である。

【図 6 0】

図 5 9 の多値記憶セルを積層した構造を示す断面図である。

【図 6 1】

同積層構造の等価回路である。

【図 6 2】

図 5 9 の多値記憶セルを積層した他の構造を示す断面図である。

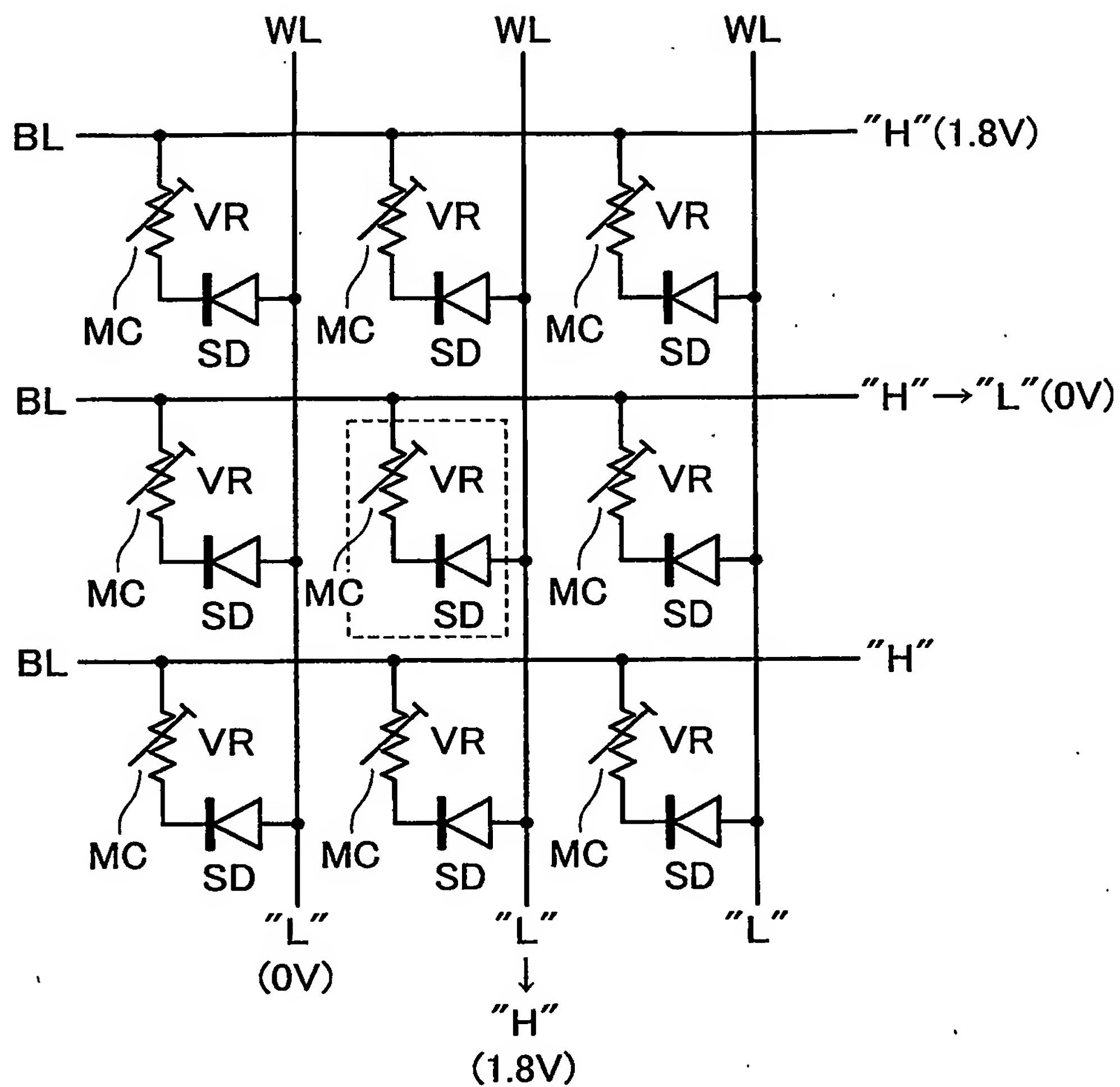
【符号の説明】

MC…メモリセル、VR…可変抵抗素子（カルコゲナイド）、SD…ダイオード、WL…ワード線、BL…ビット線、10…シリコン基板、11…素子分離絶

縁膜、12…n型シリコン層、21…ワード線、22…層間絶縁膜、23…金属プラグ、24…カルコゲナイド層、25…ビット線、40…シリコン基板、41…絶縁膜、42…ワード線、43, 47…層間絶縁膜、44…n型シリコン層、46…金属電極、48…カルコゲナイド層、49…ビット線、MA0, MA1, MA2, MA3…セルアレイ、QP1, QN0…選択トランジスタ、SA…センサンプ回路、DMC…ダミーセル、R0～R4, r0～r4…抵抗、OP0, OP1, OP2, OP3, OP4, OP10, OP11, OP30, OP31, OP00, OP01…オペアンプ、100, 200, 200a, 200b…パルス発生回路。

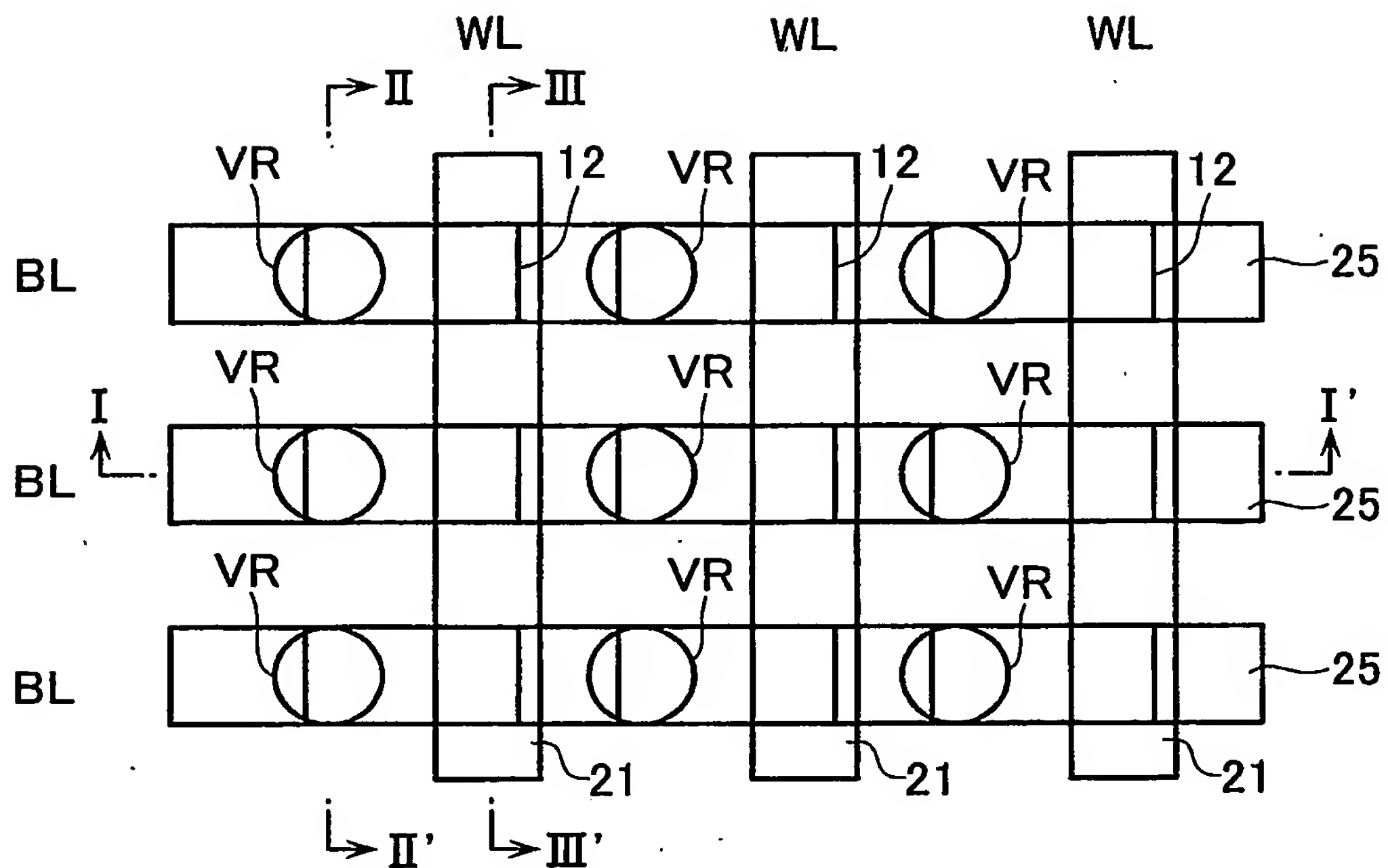
図面

【图 1】

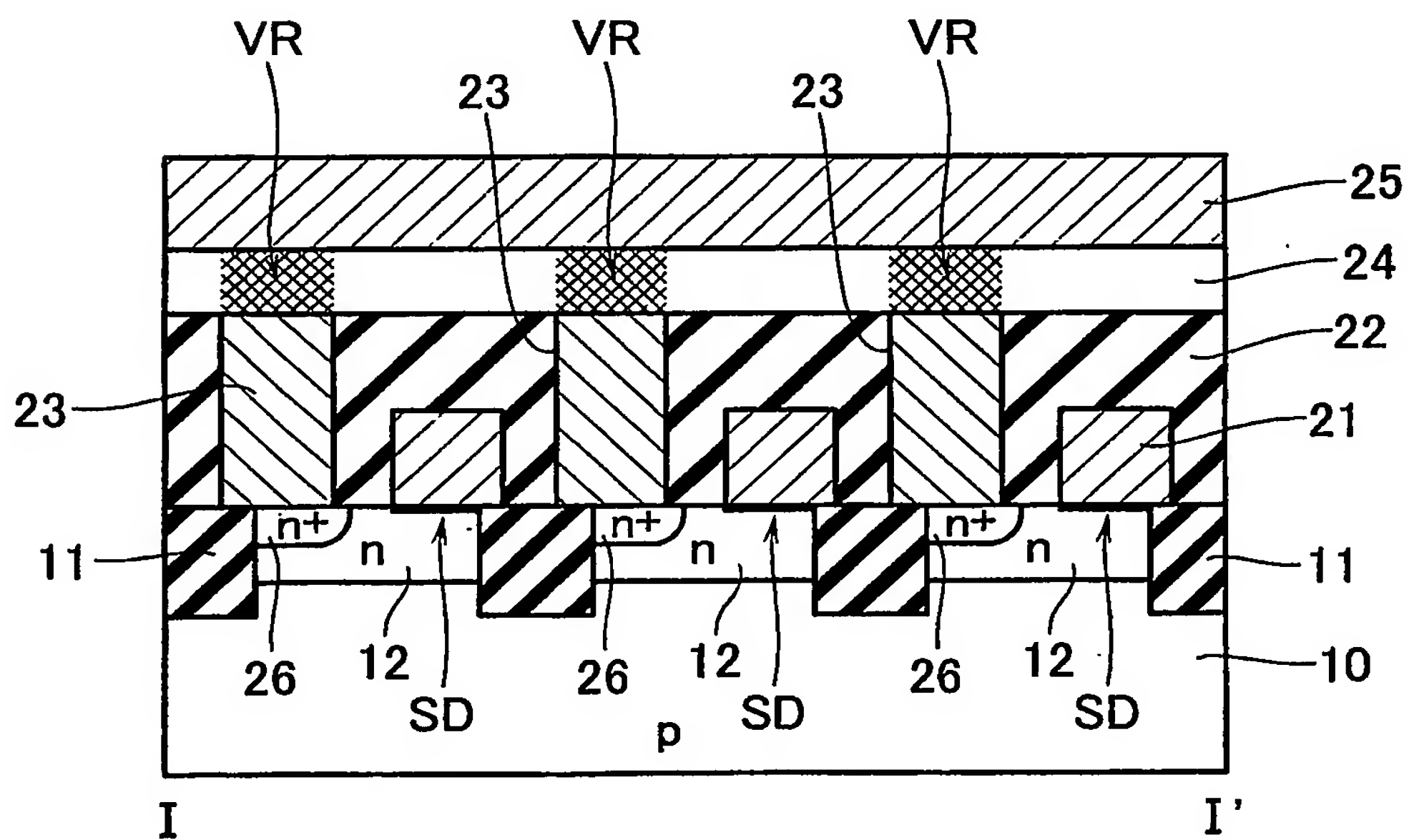


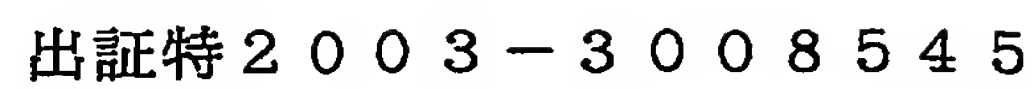


【圖 2】

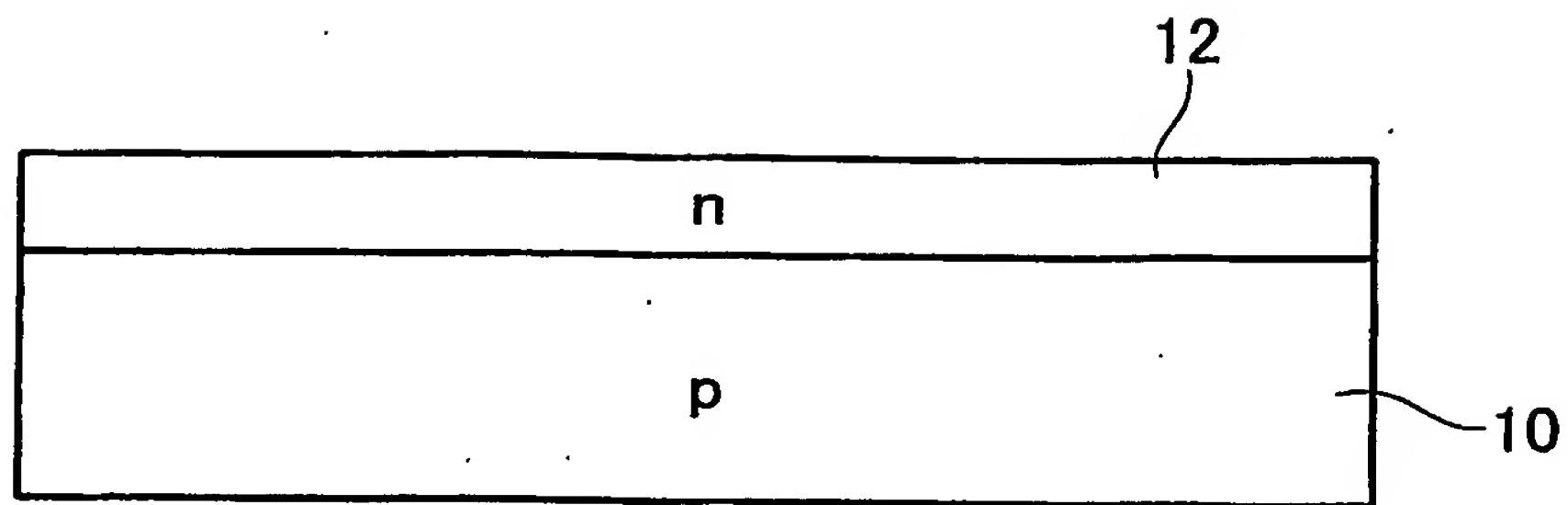


【図 3 A】

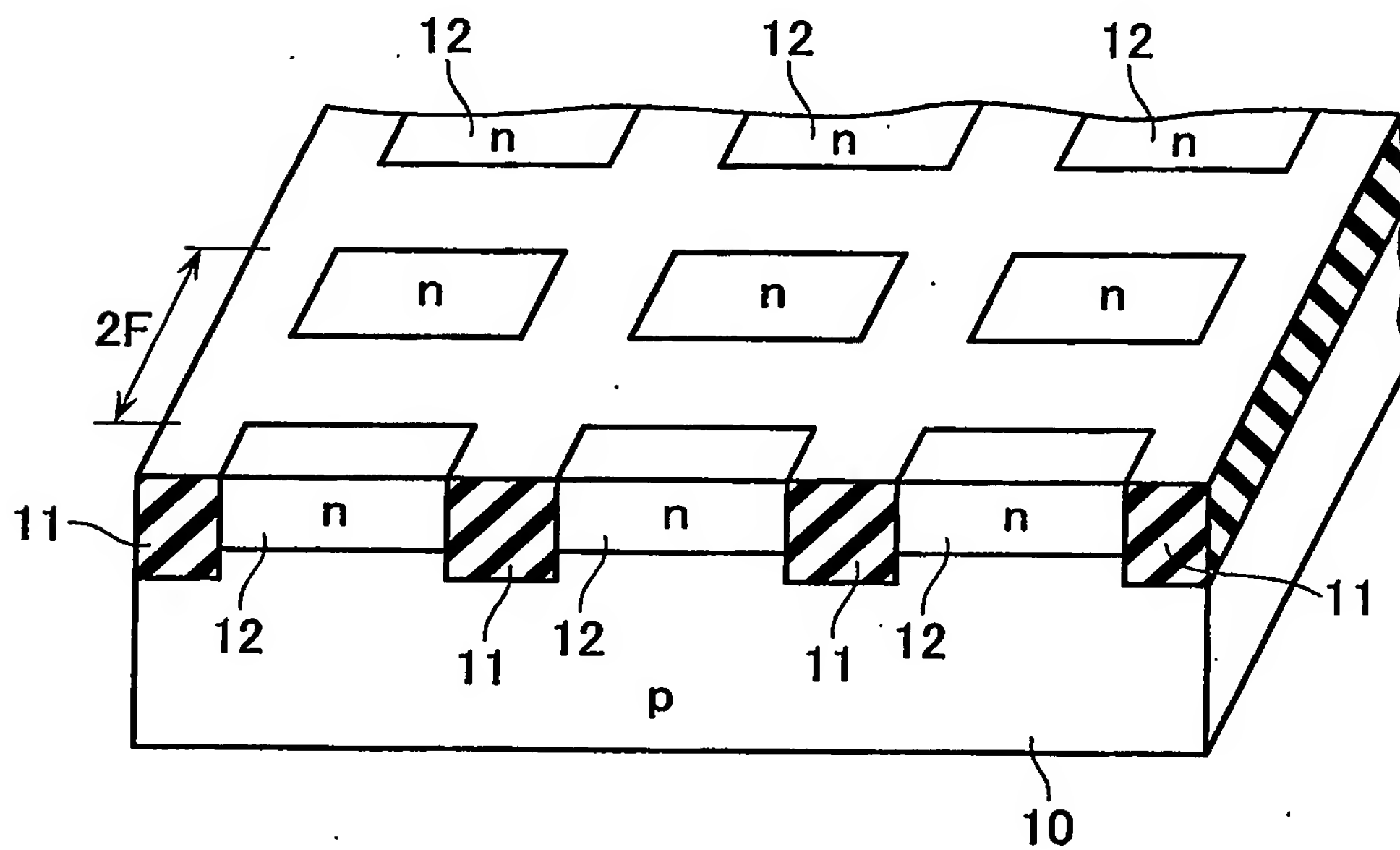




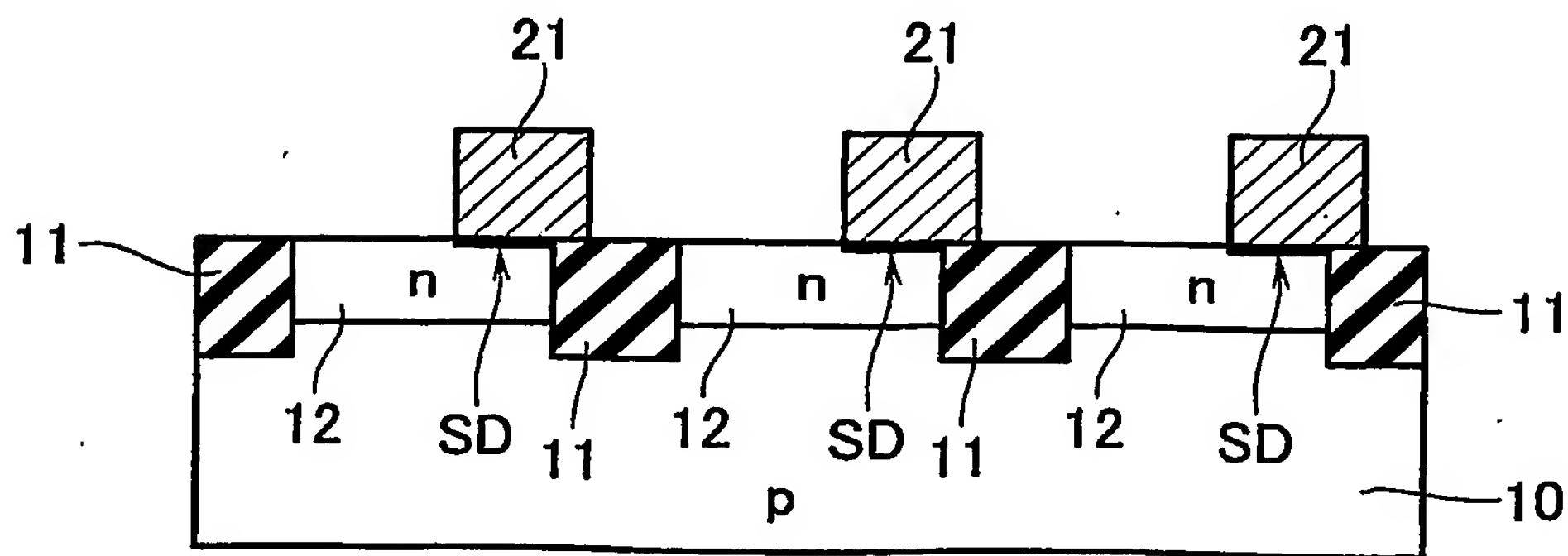
【図 4】



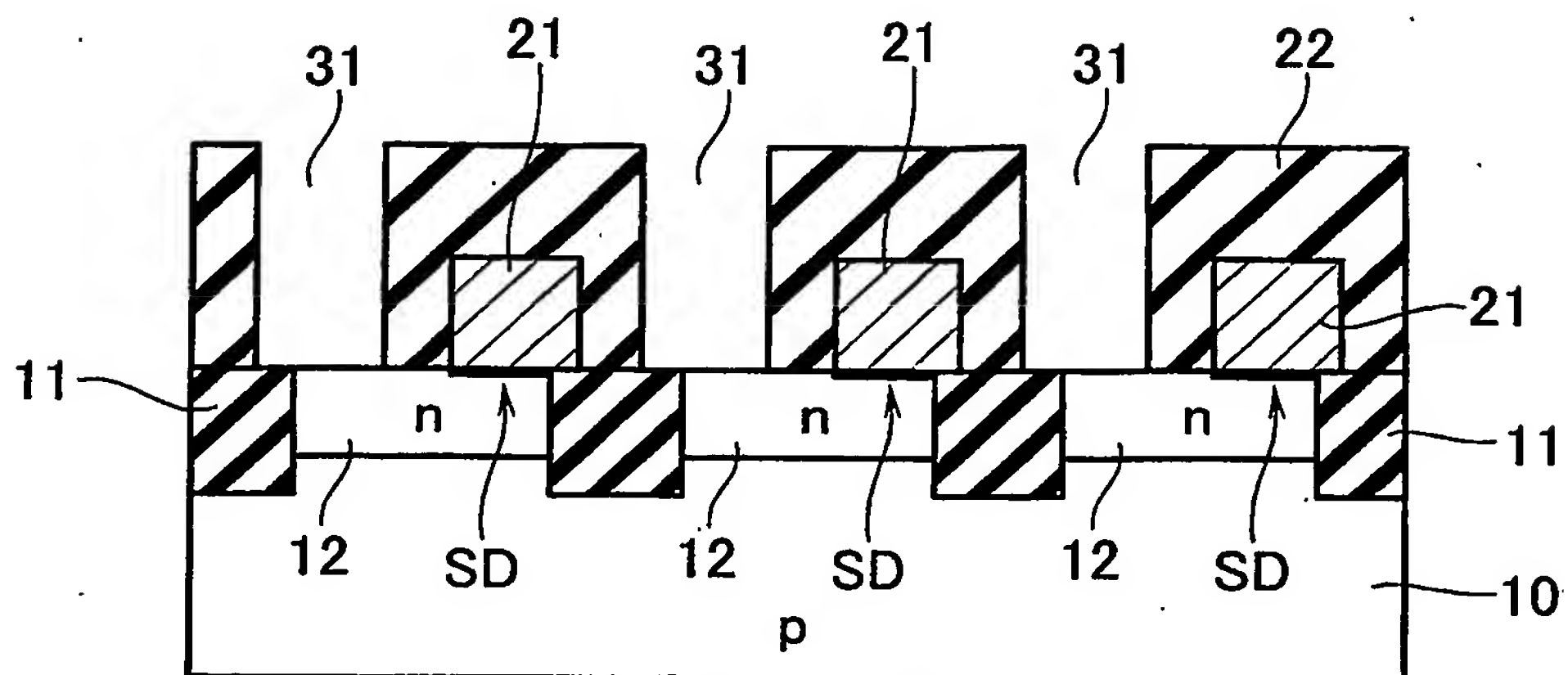
【図 5】



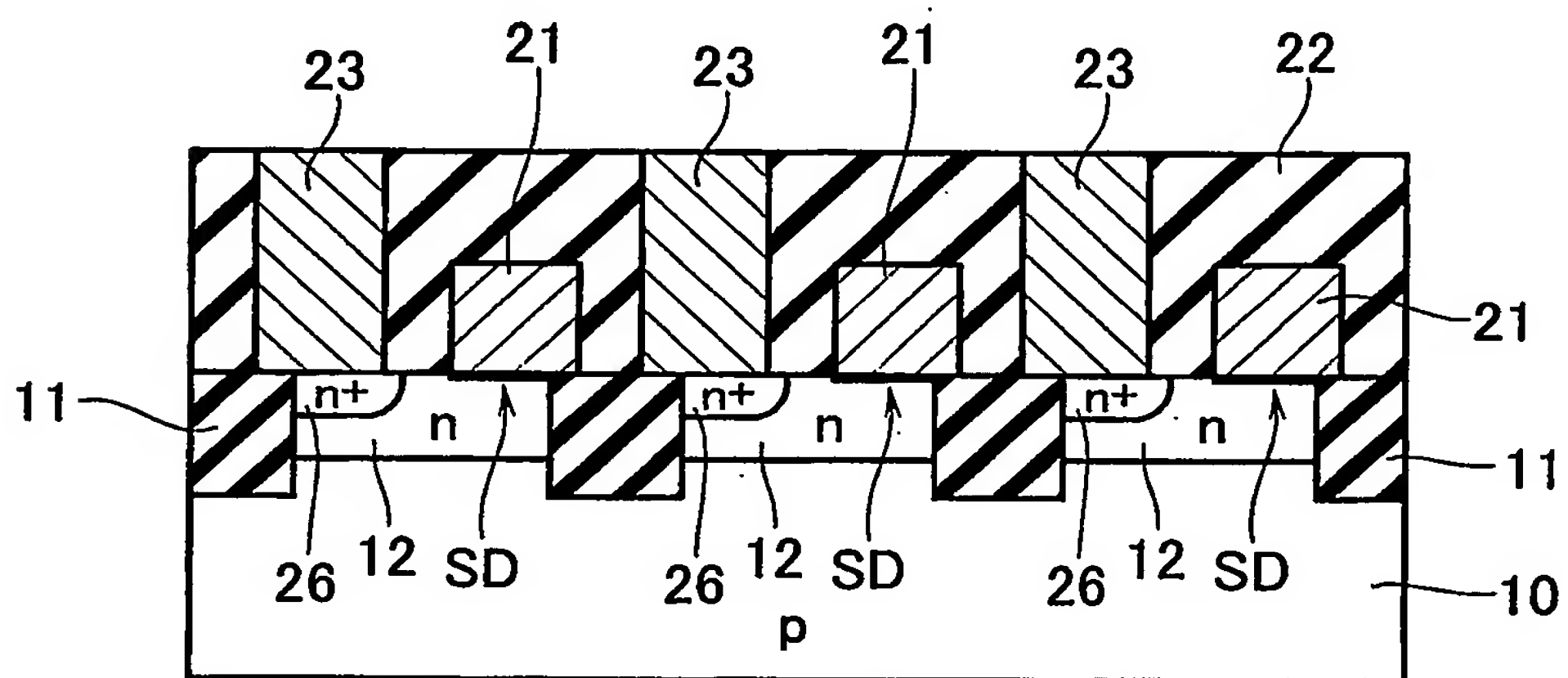
【図 6】



【図 7】

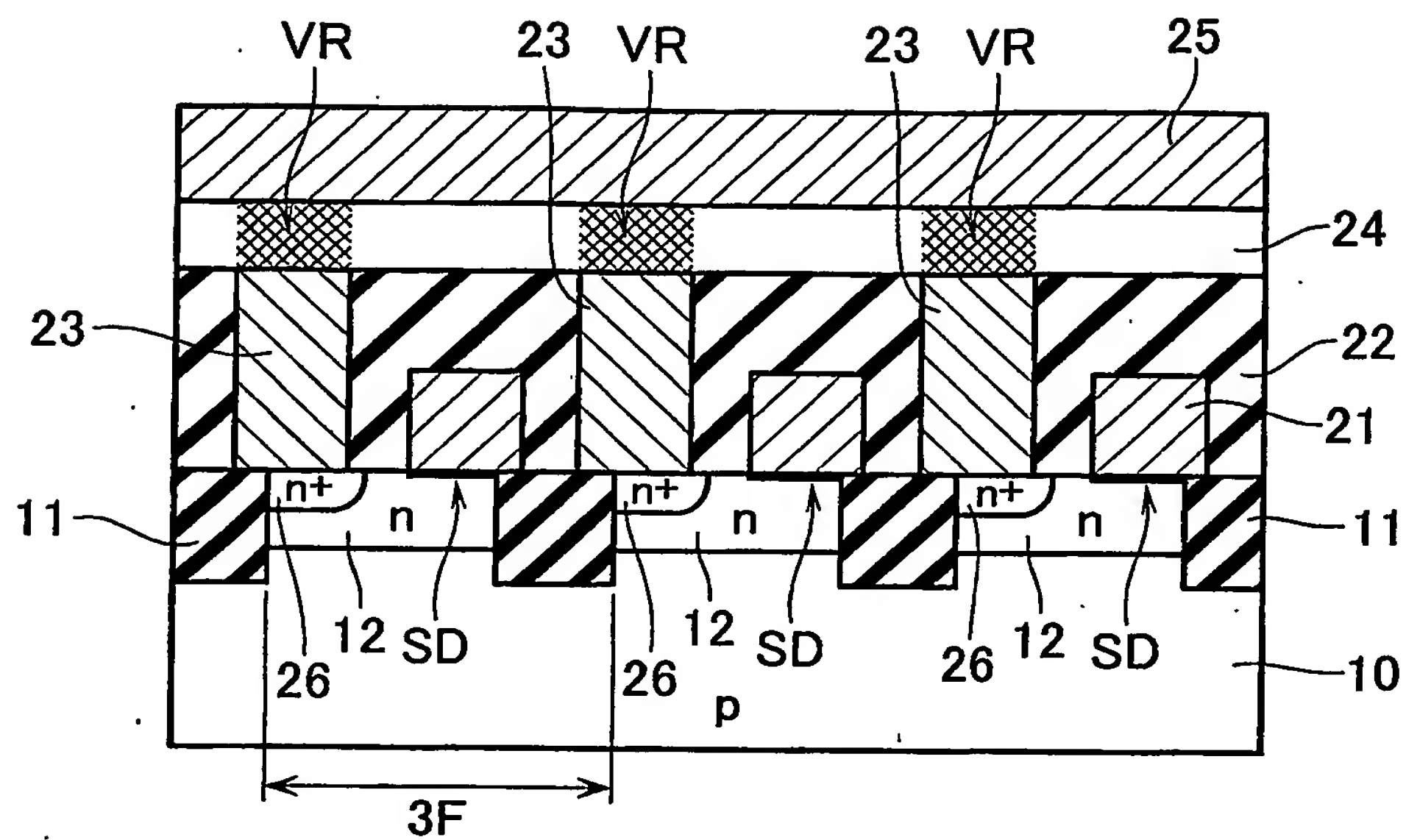


【図 8】

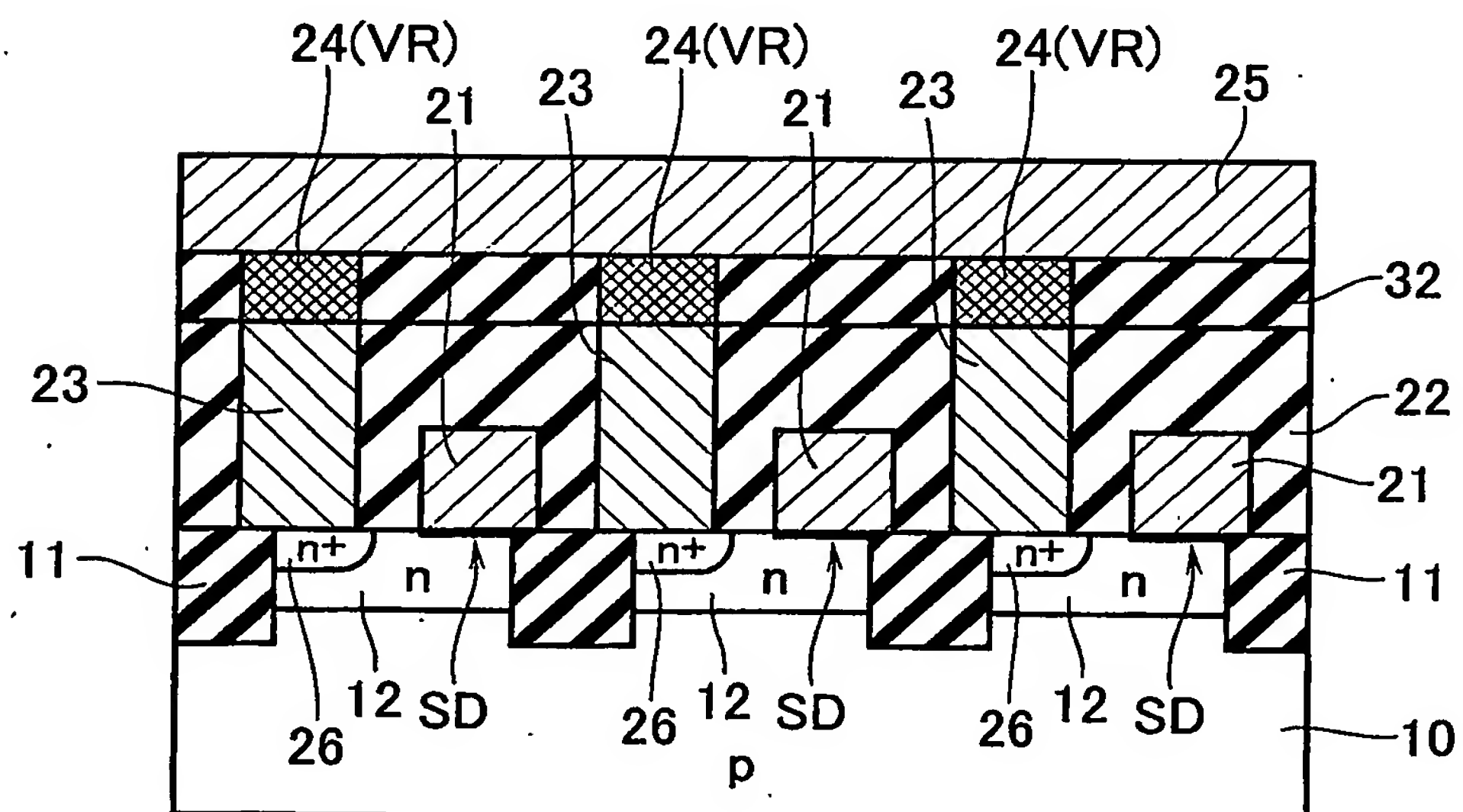




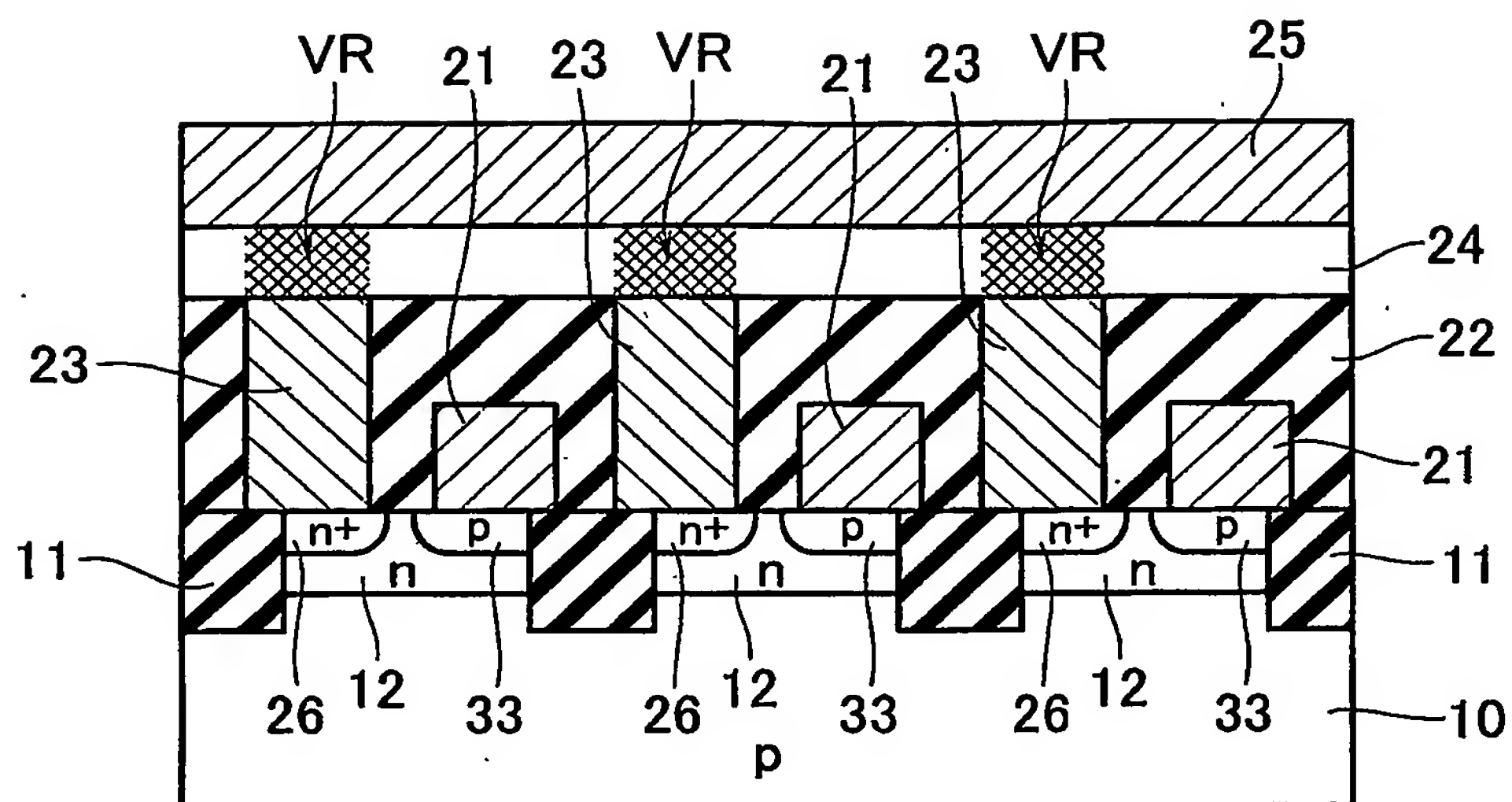
【图9】



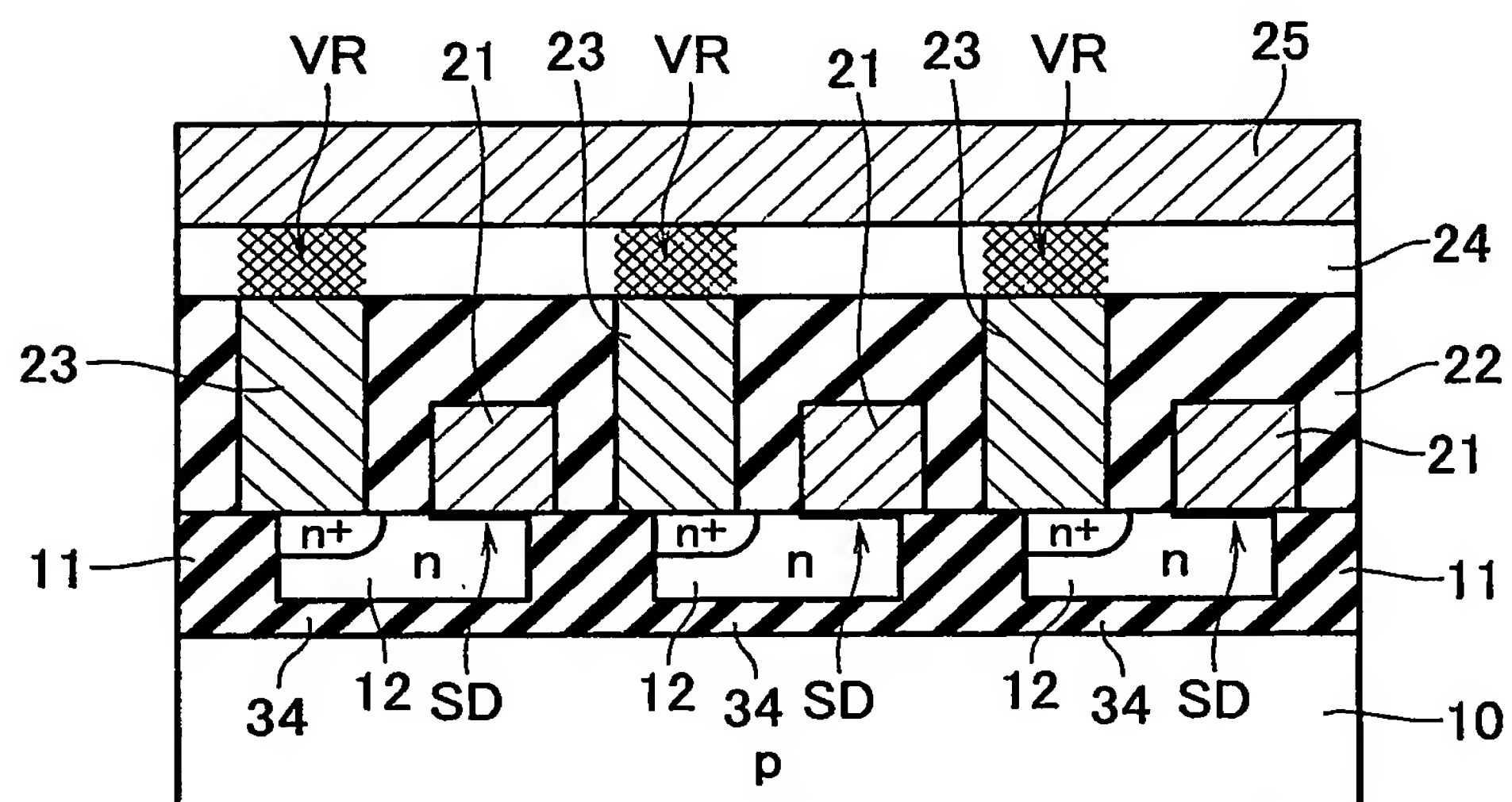
【図 10】



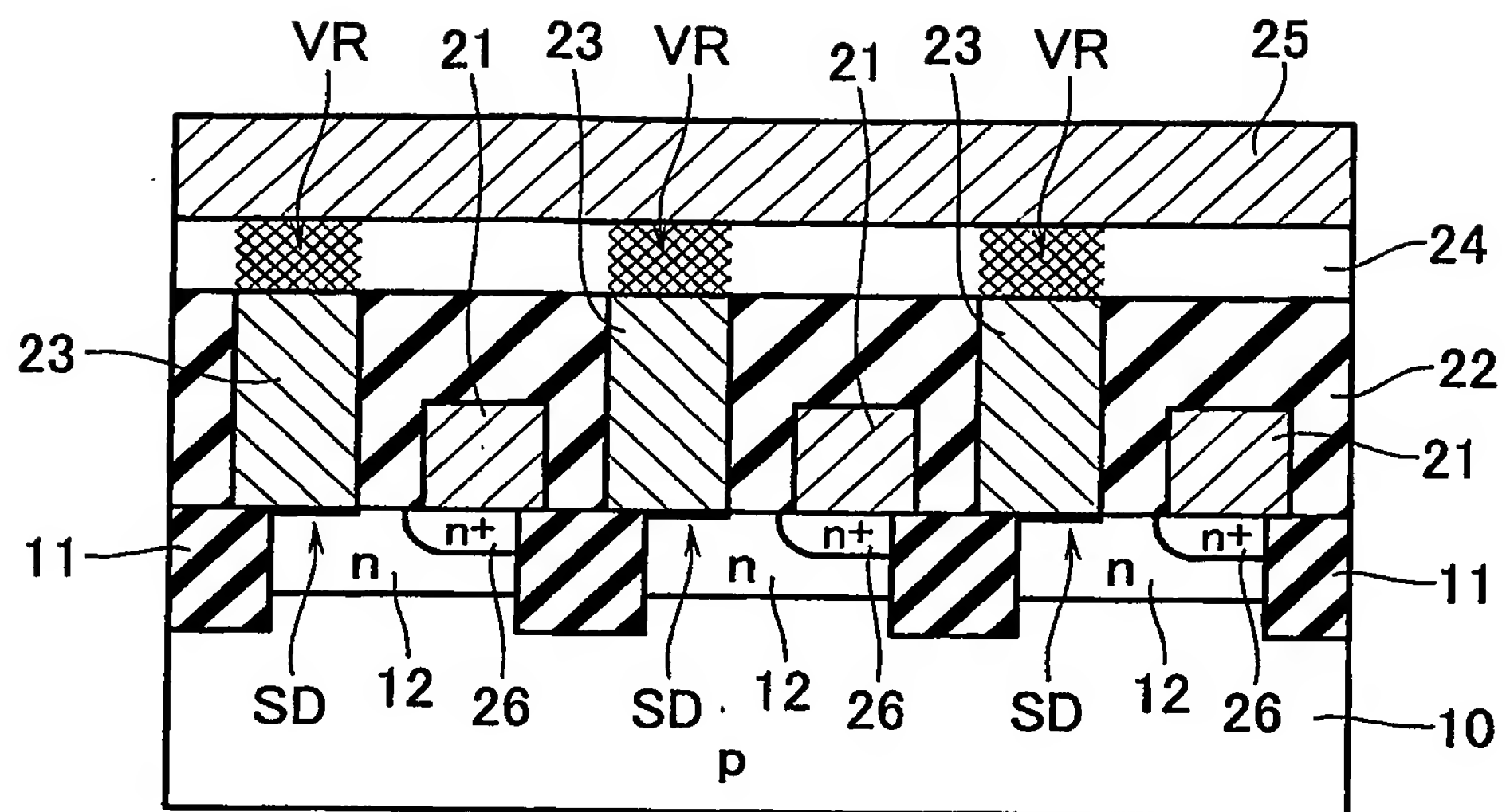
【図 1.1】



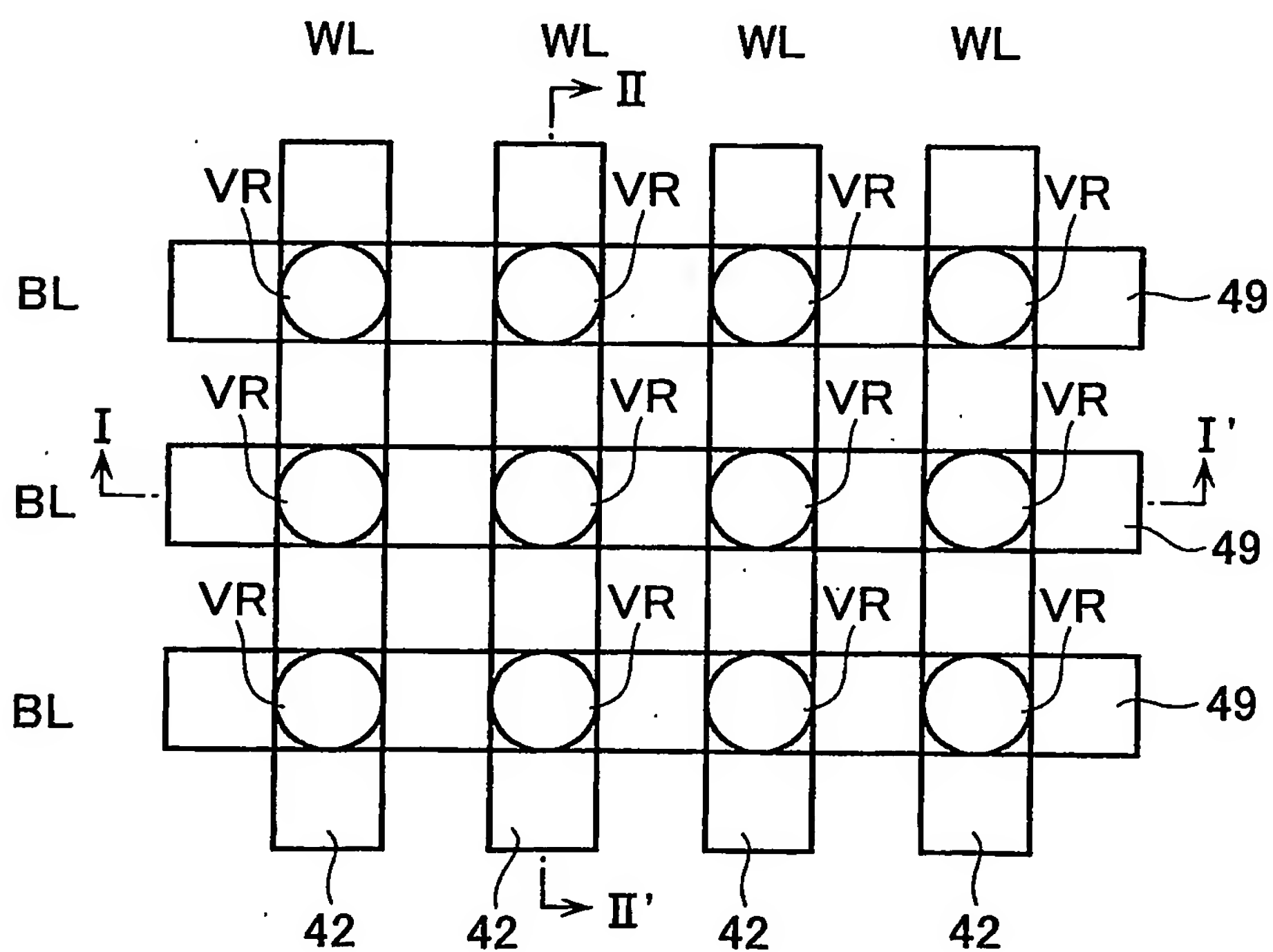
【图 1 2】



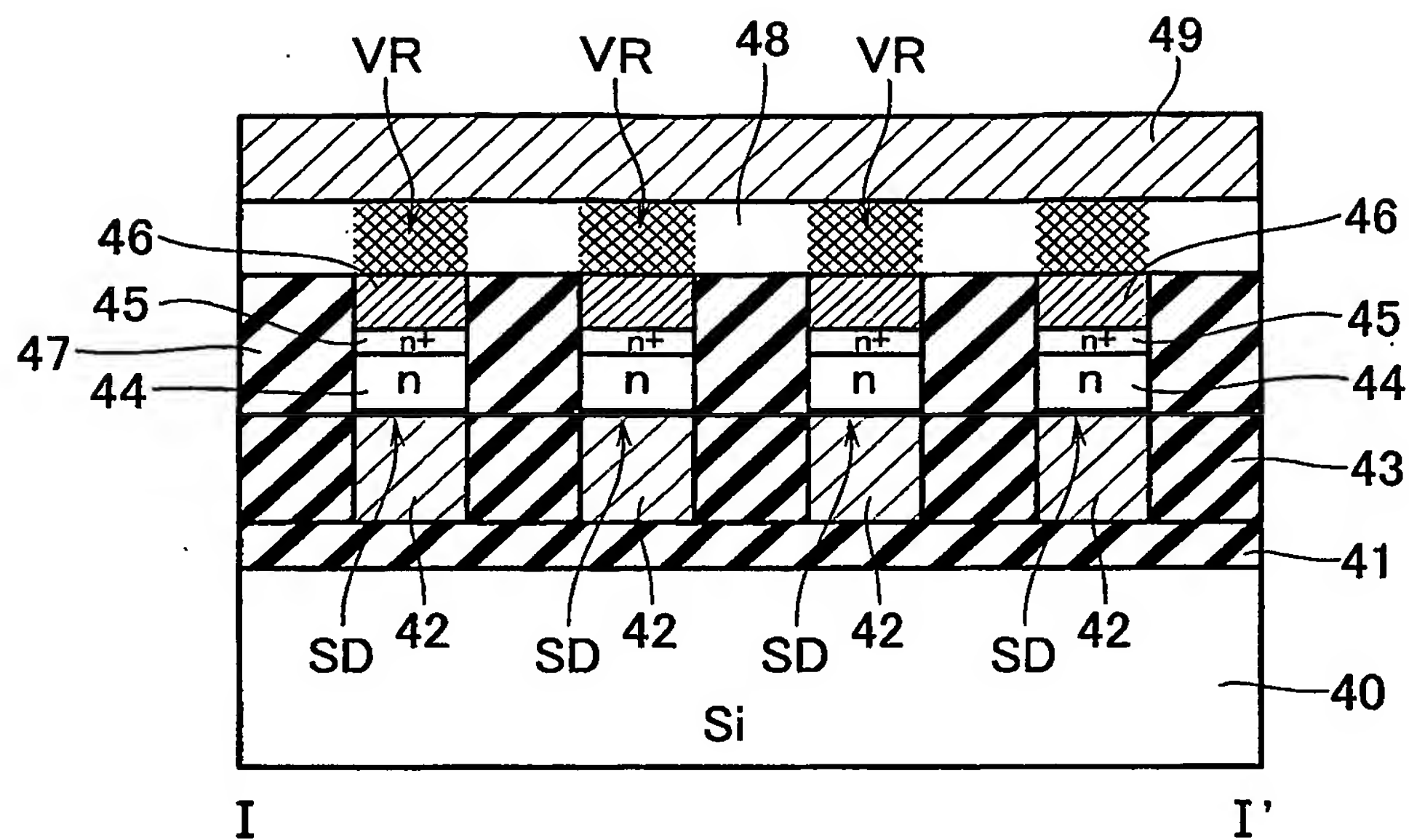
【圖 13】



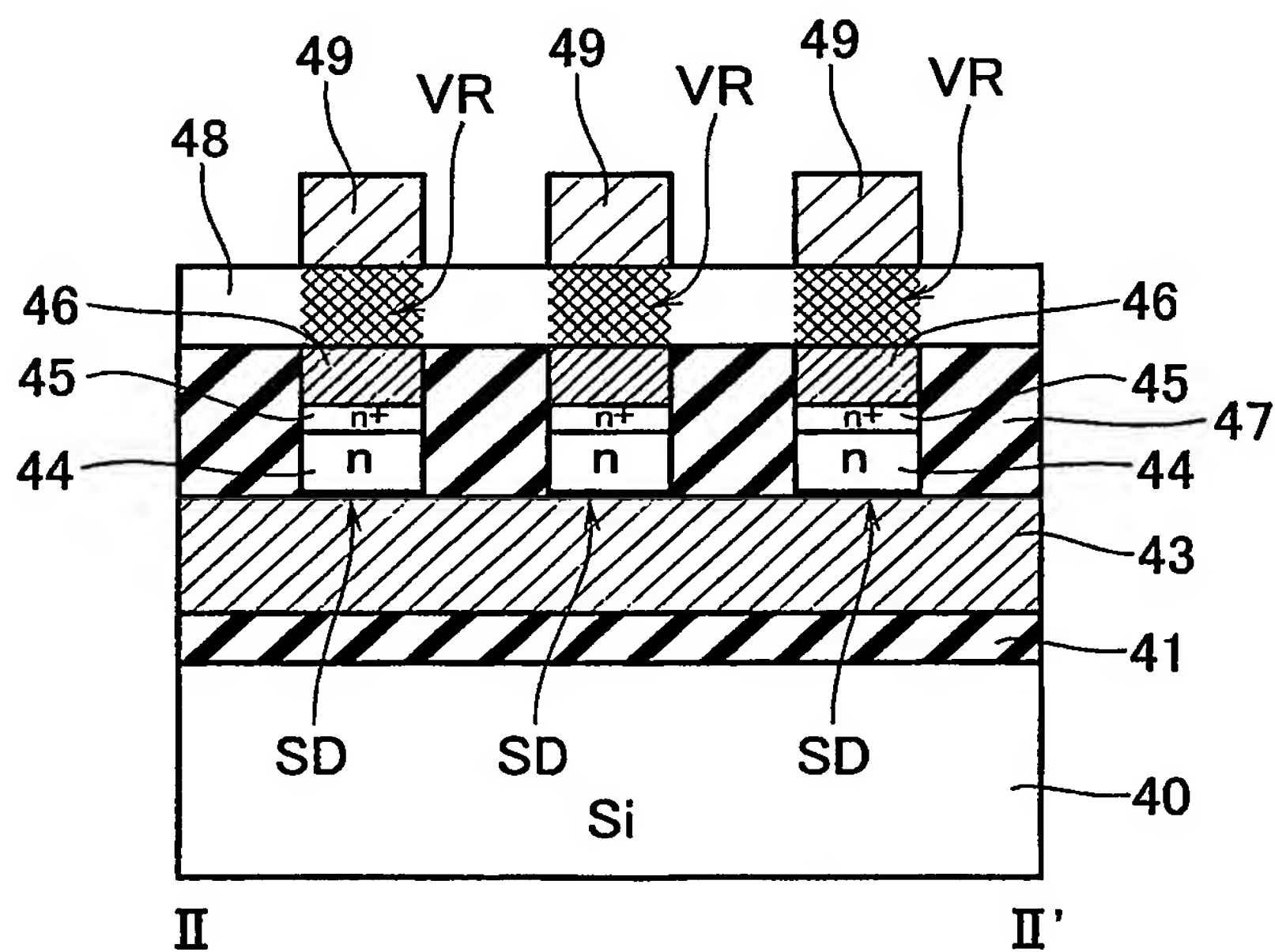
【圖 14】



【図 15 A】

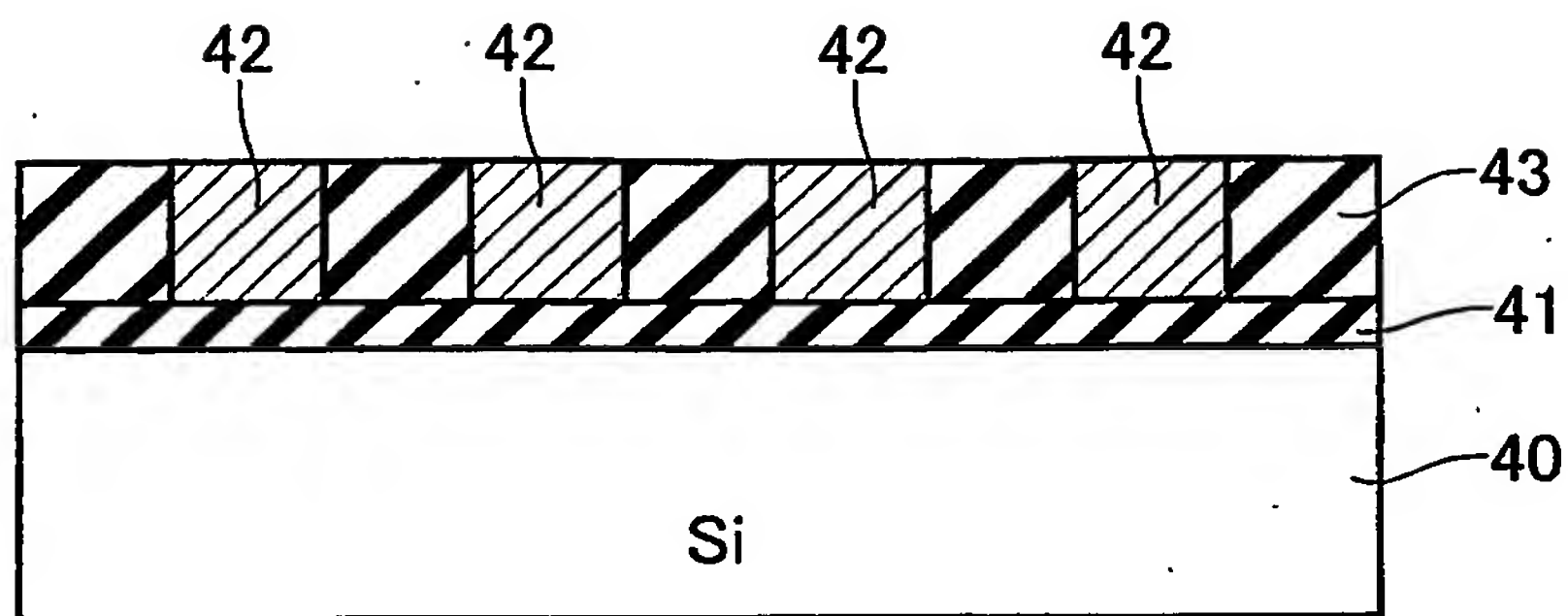


【図 15 B】

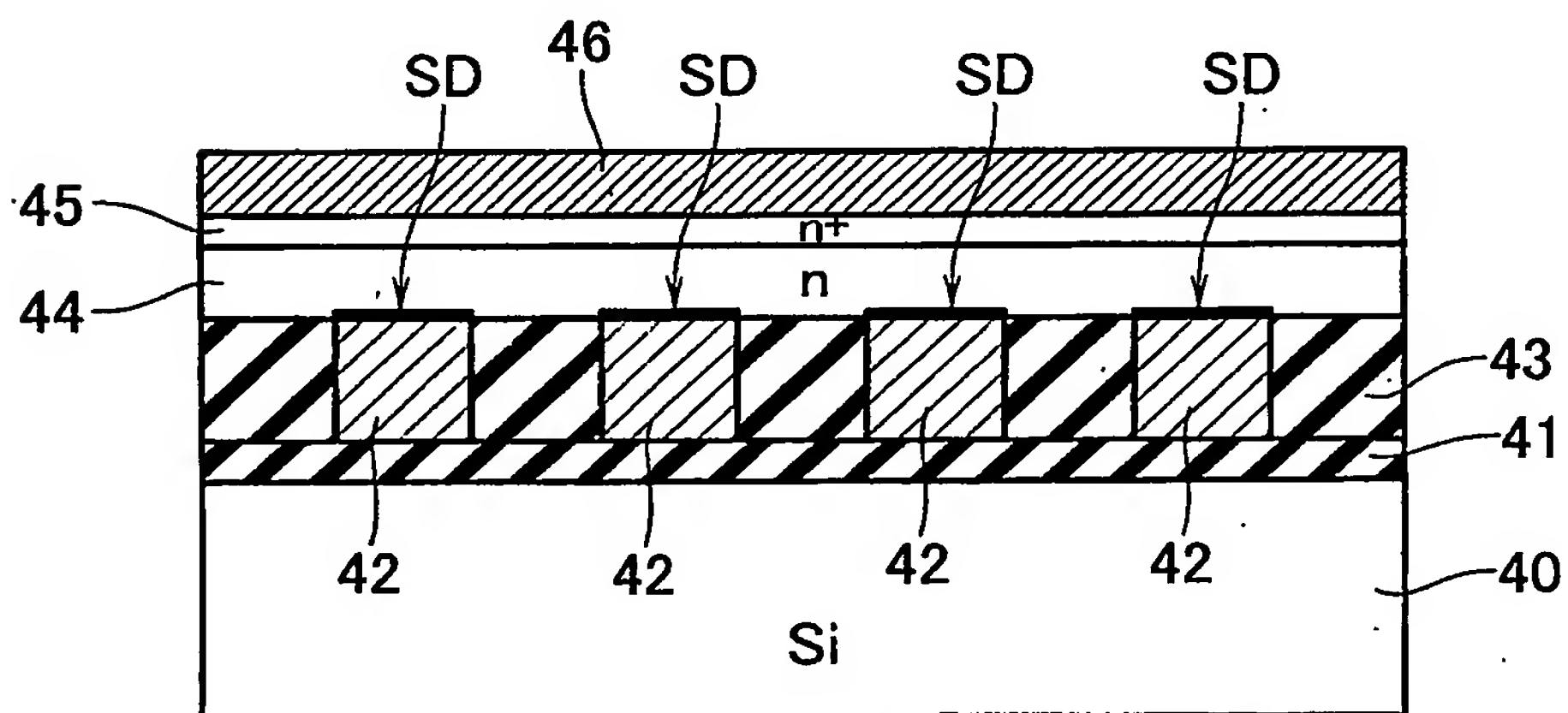




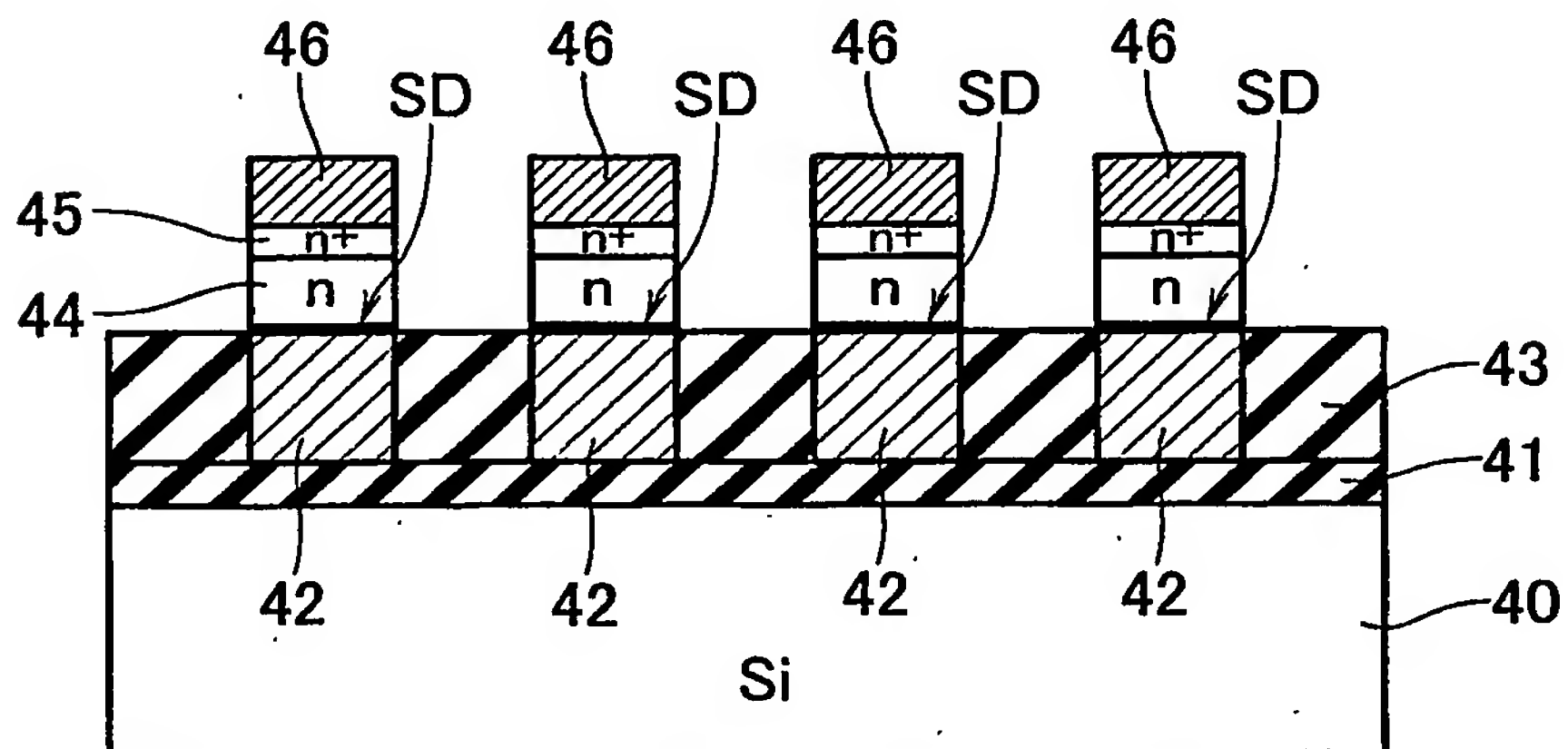
【図 16】



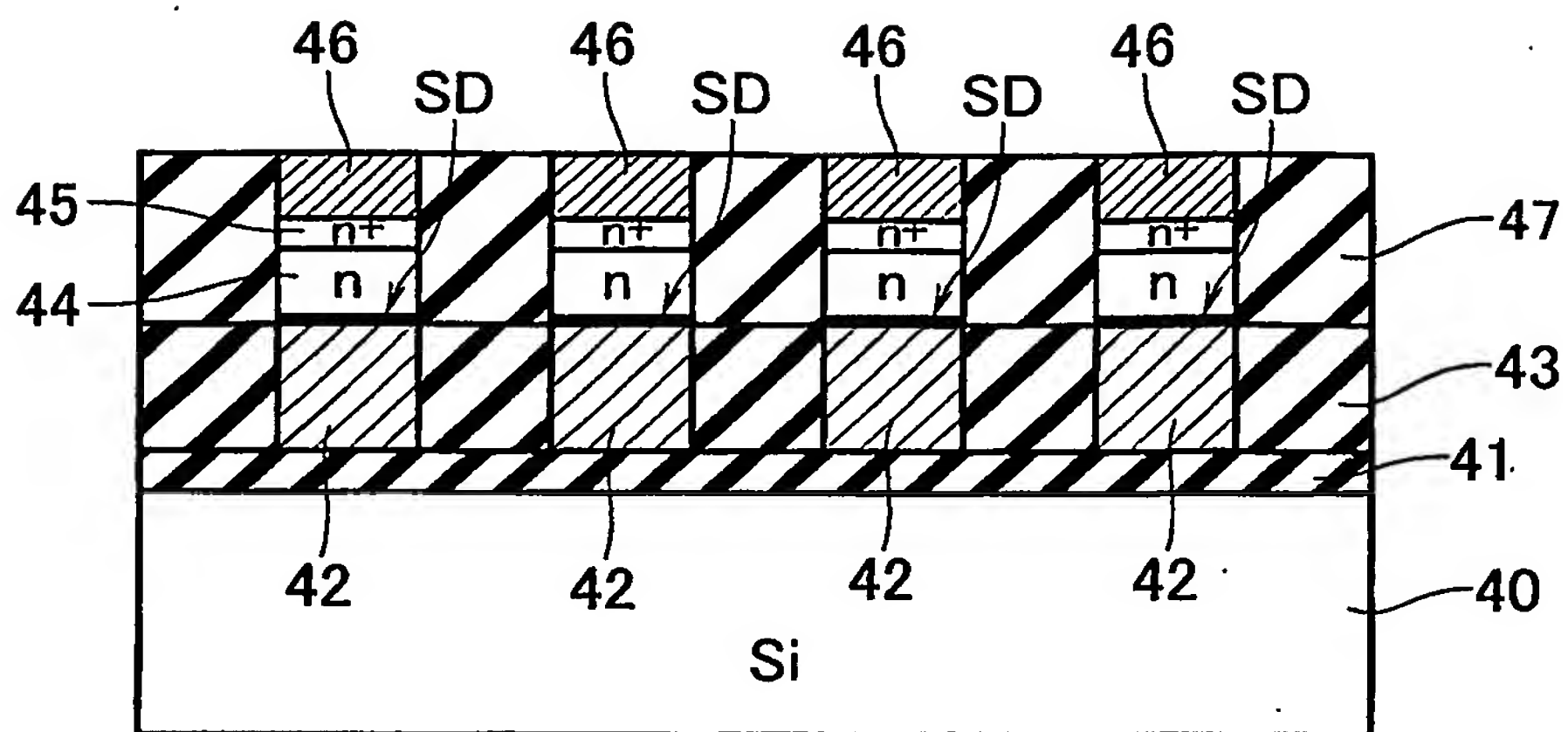
【図 17】



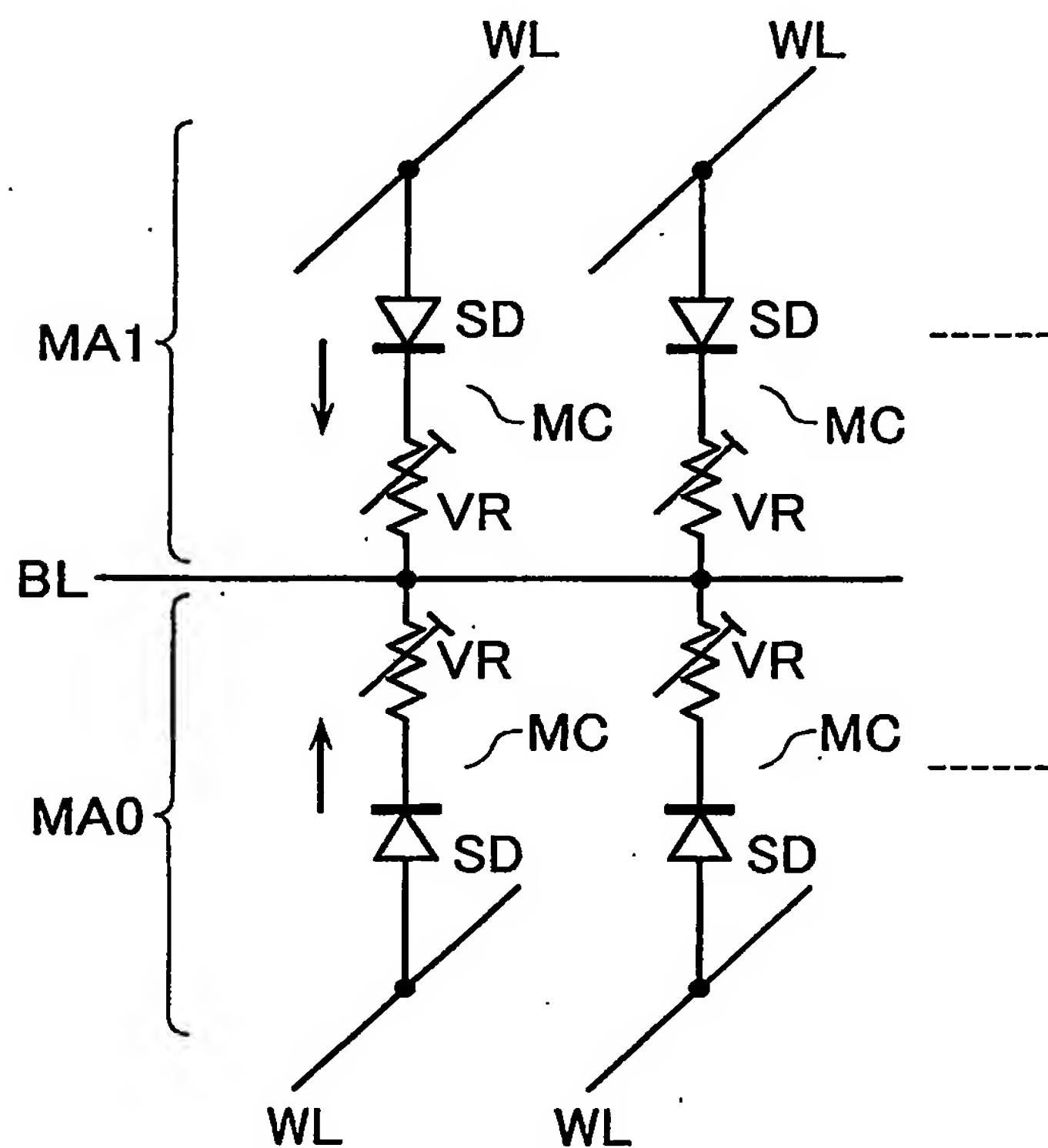
【図 18】



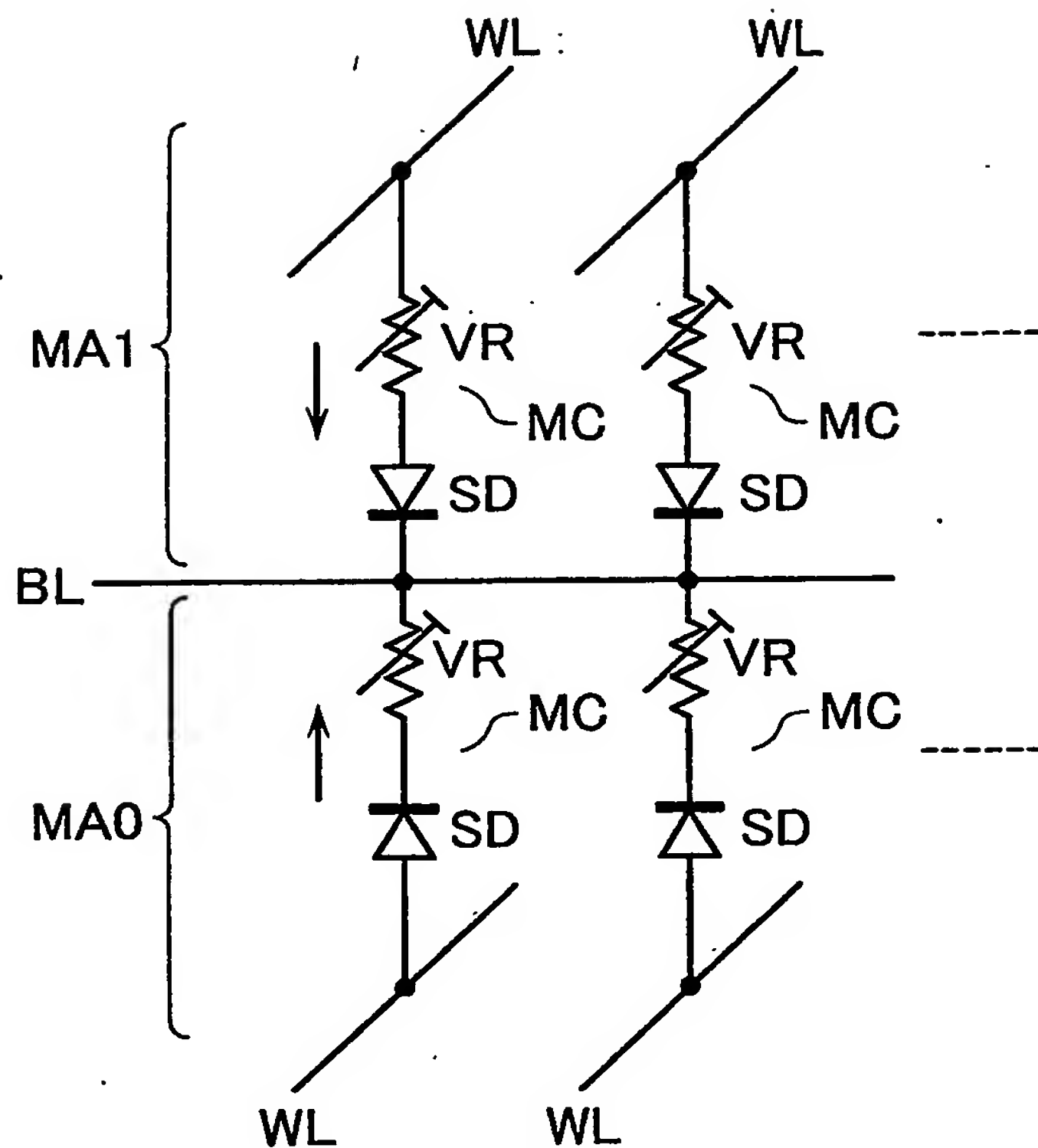
【図 19】



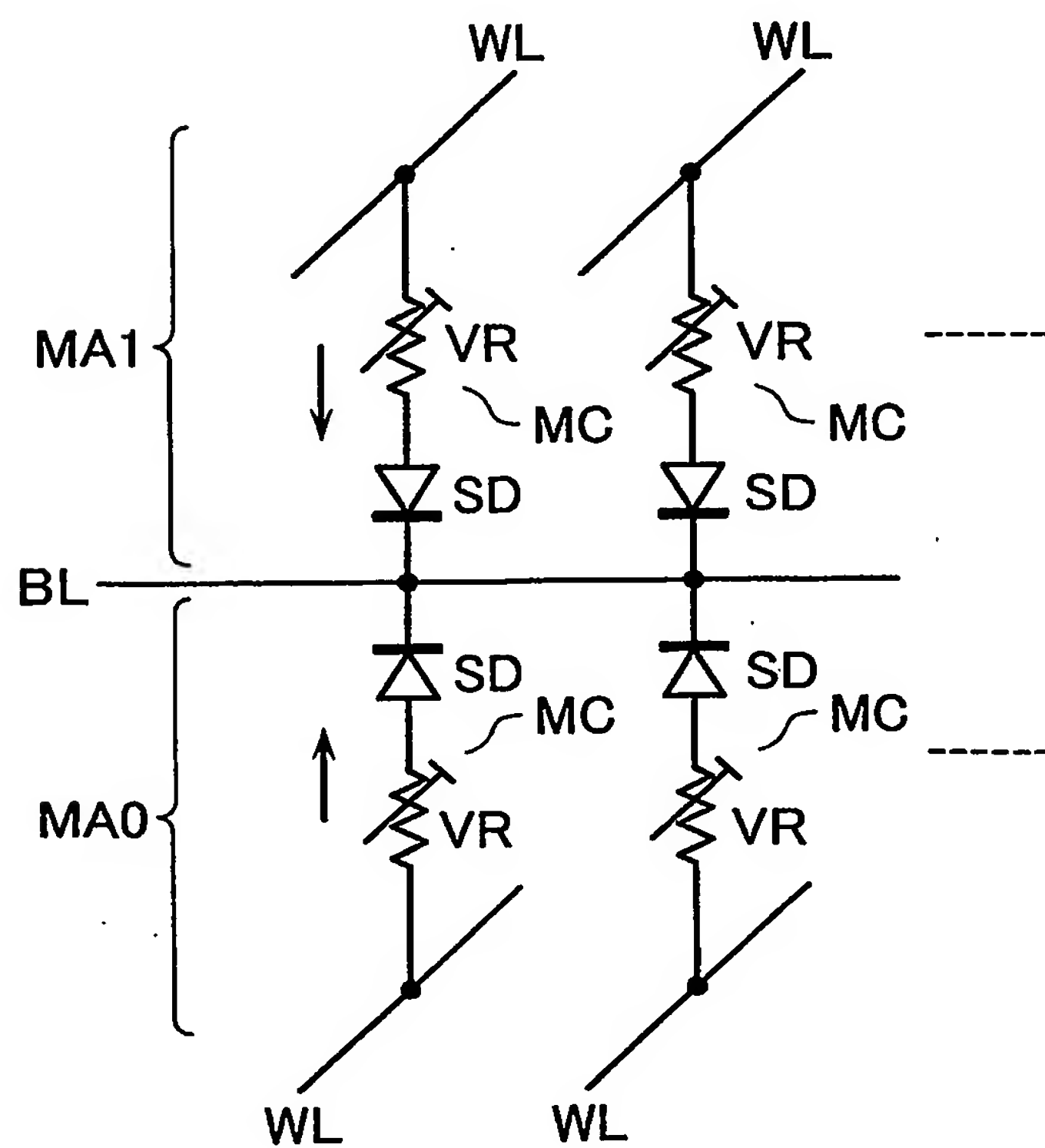
【図 20】



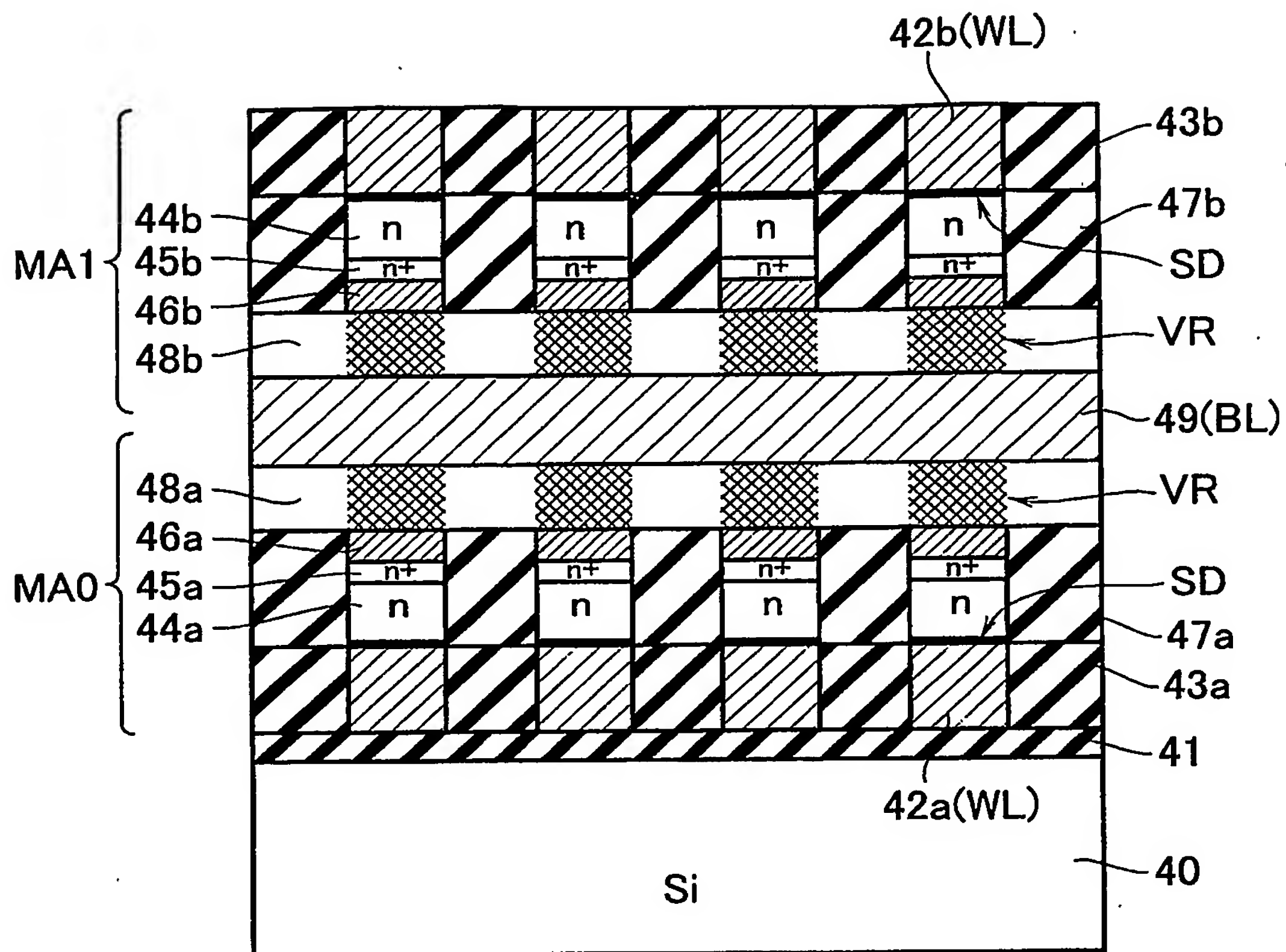
【図 2 1】



【図 2 2】



【図 2 3】

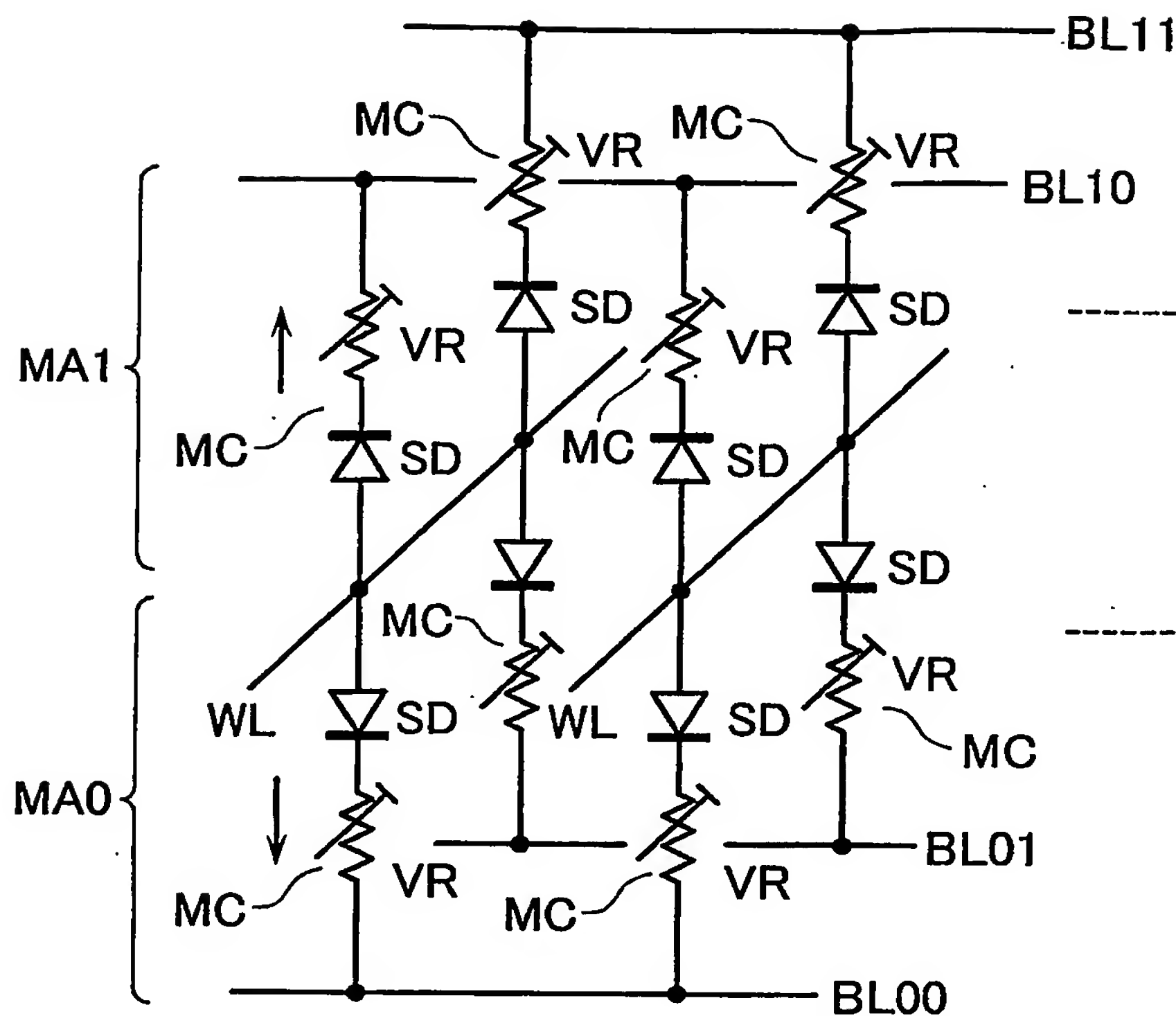




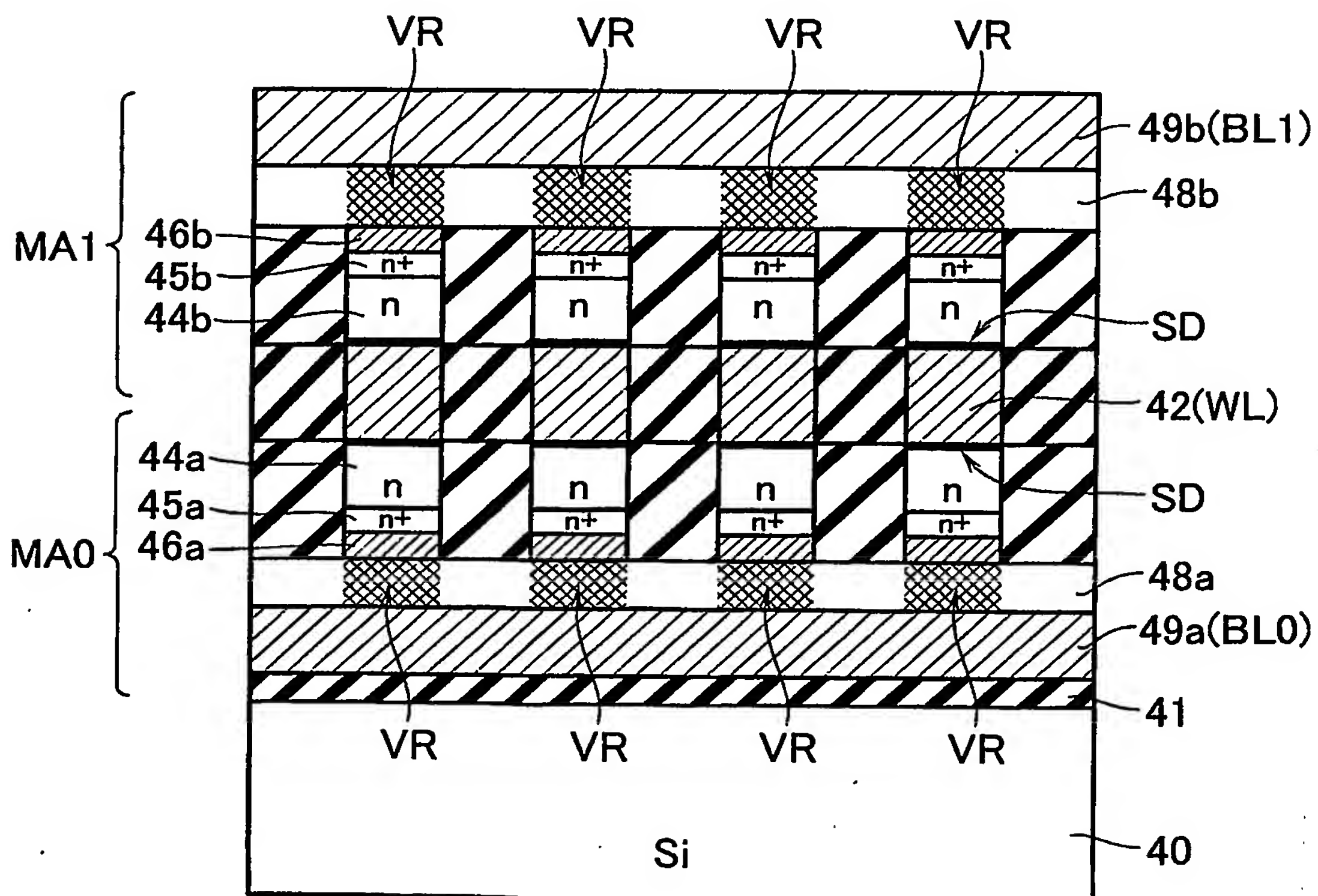




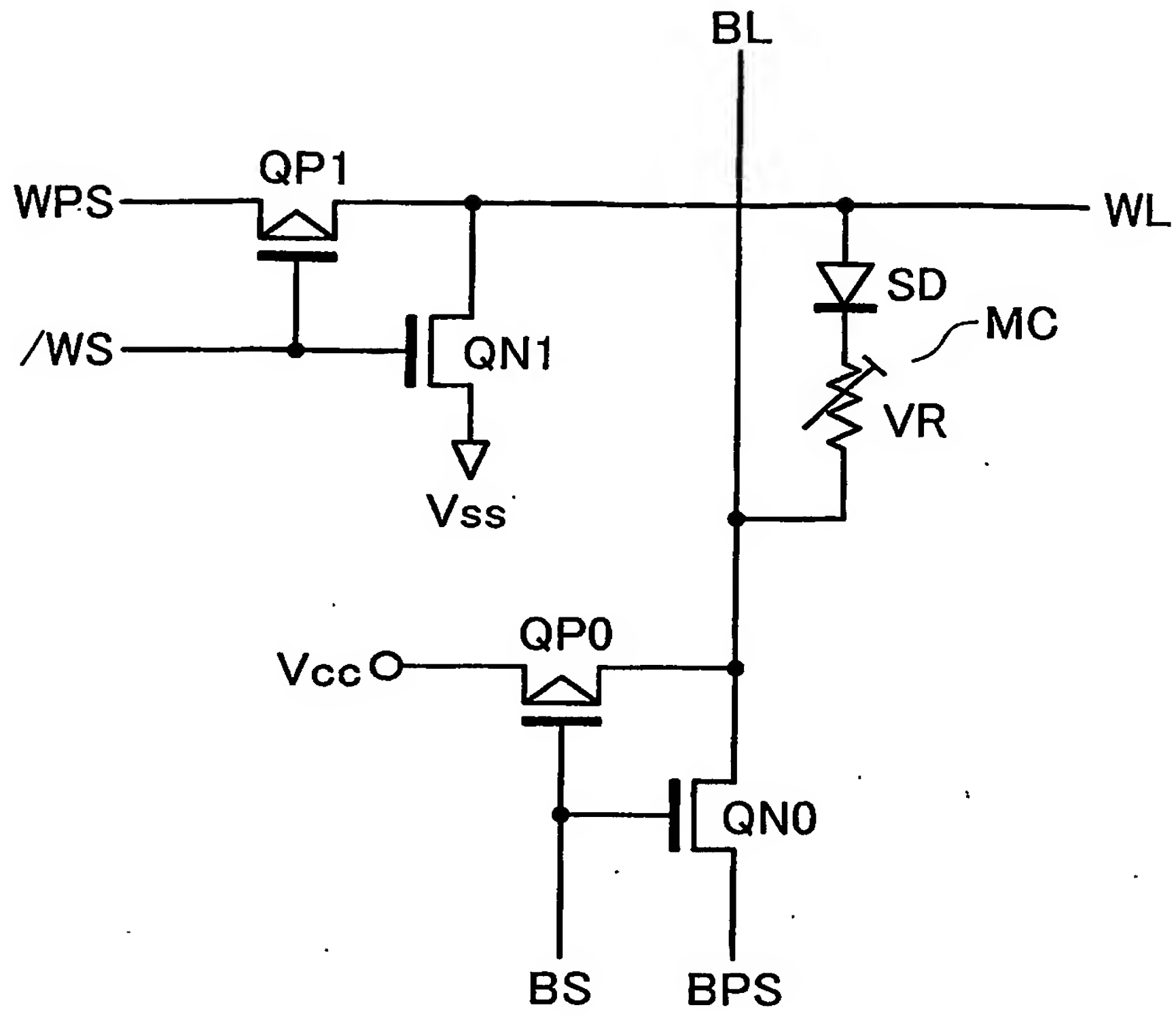
【図 27】



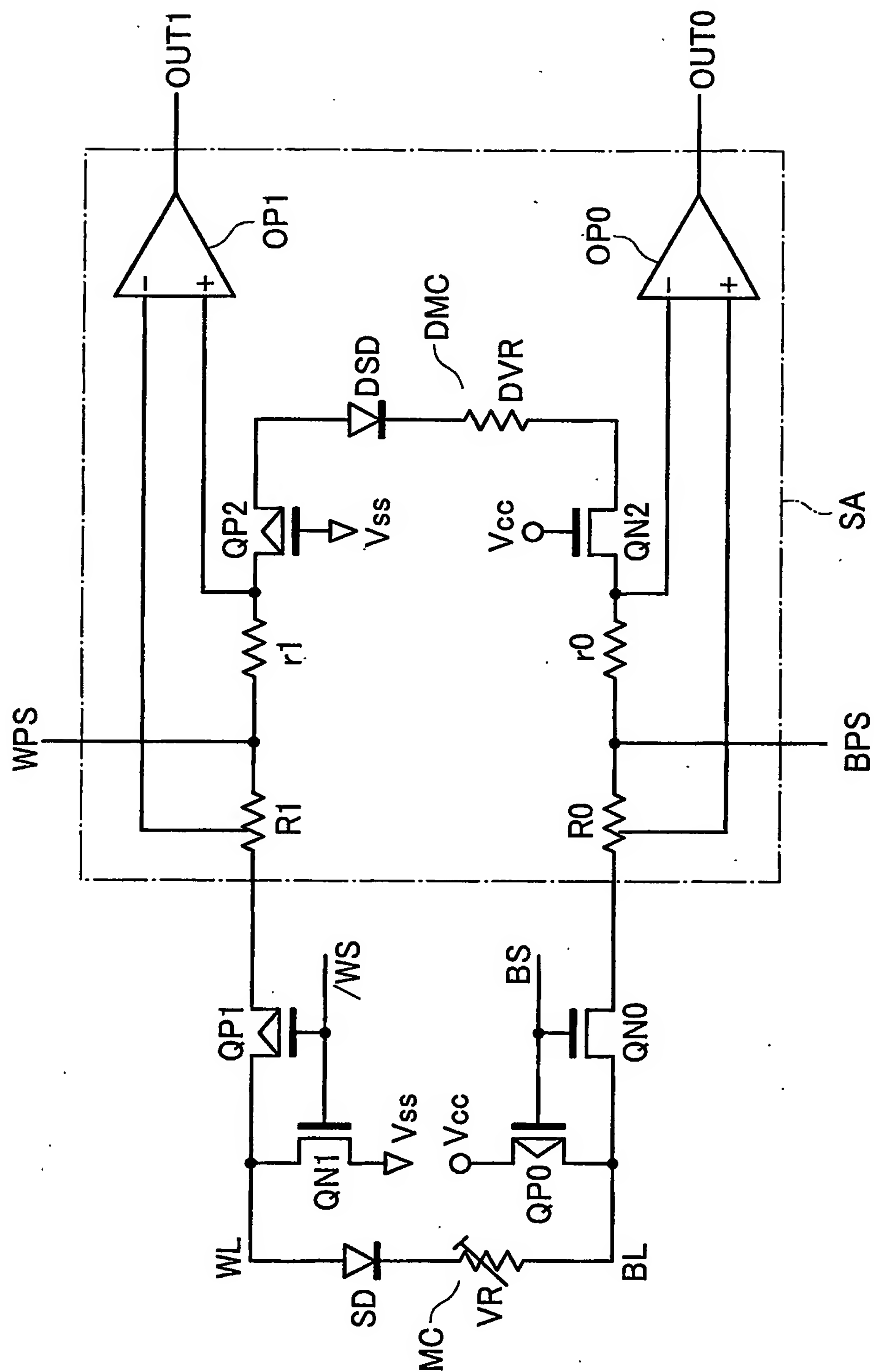
【図 28】



【図 2 9】

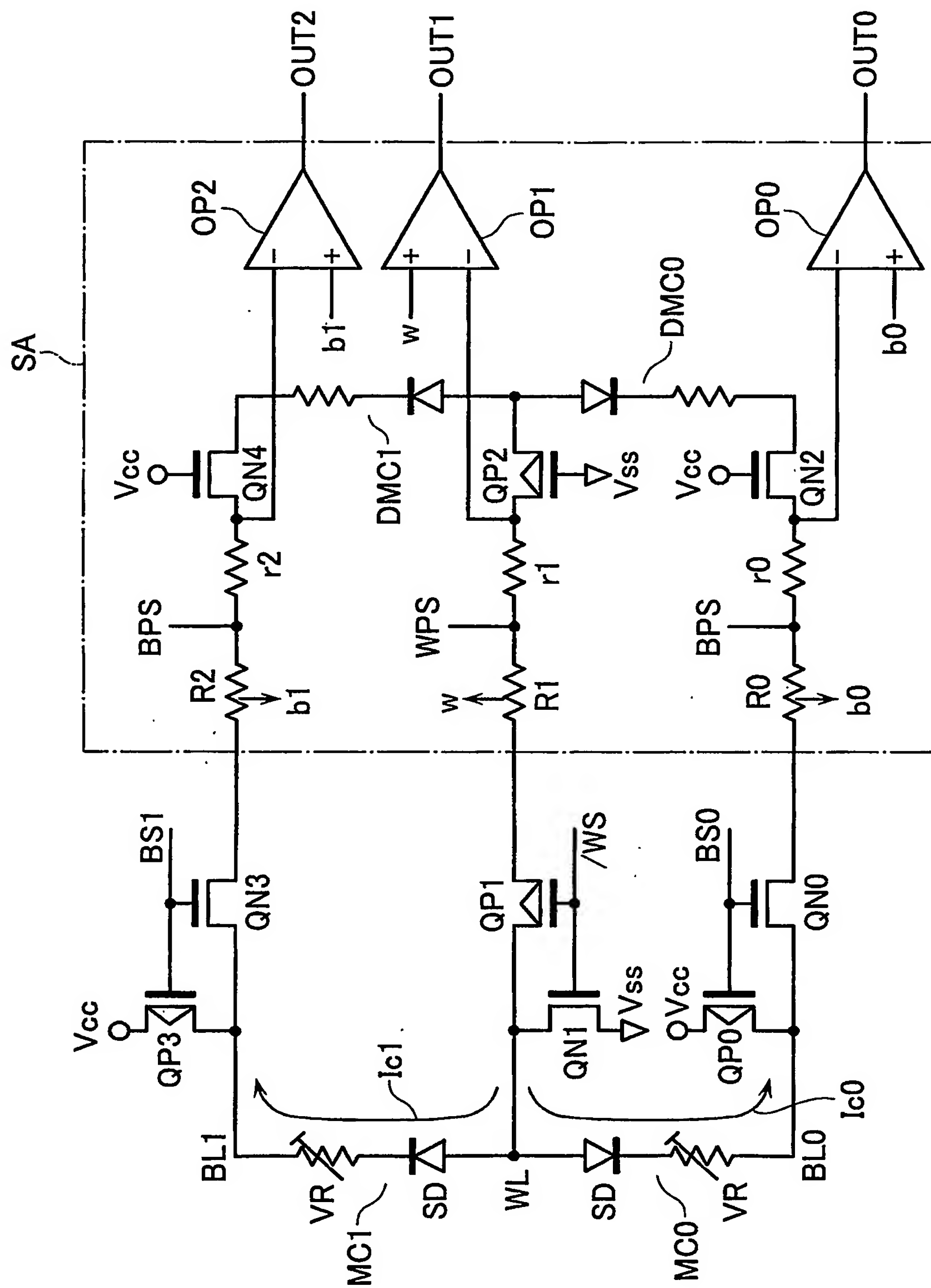


【図 30】





【図 3 1】



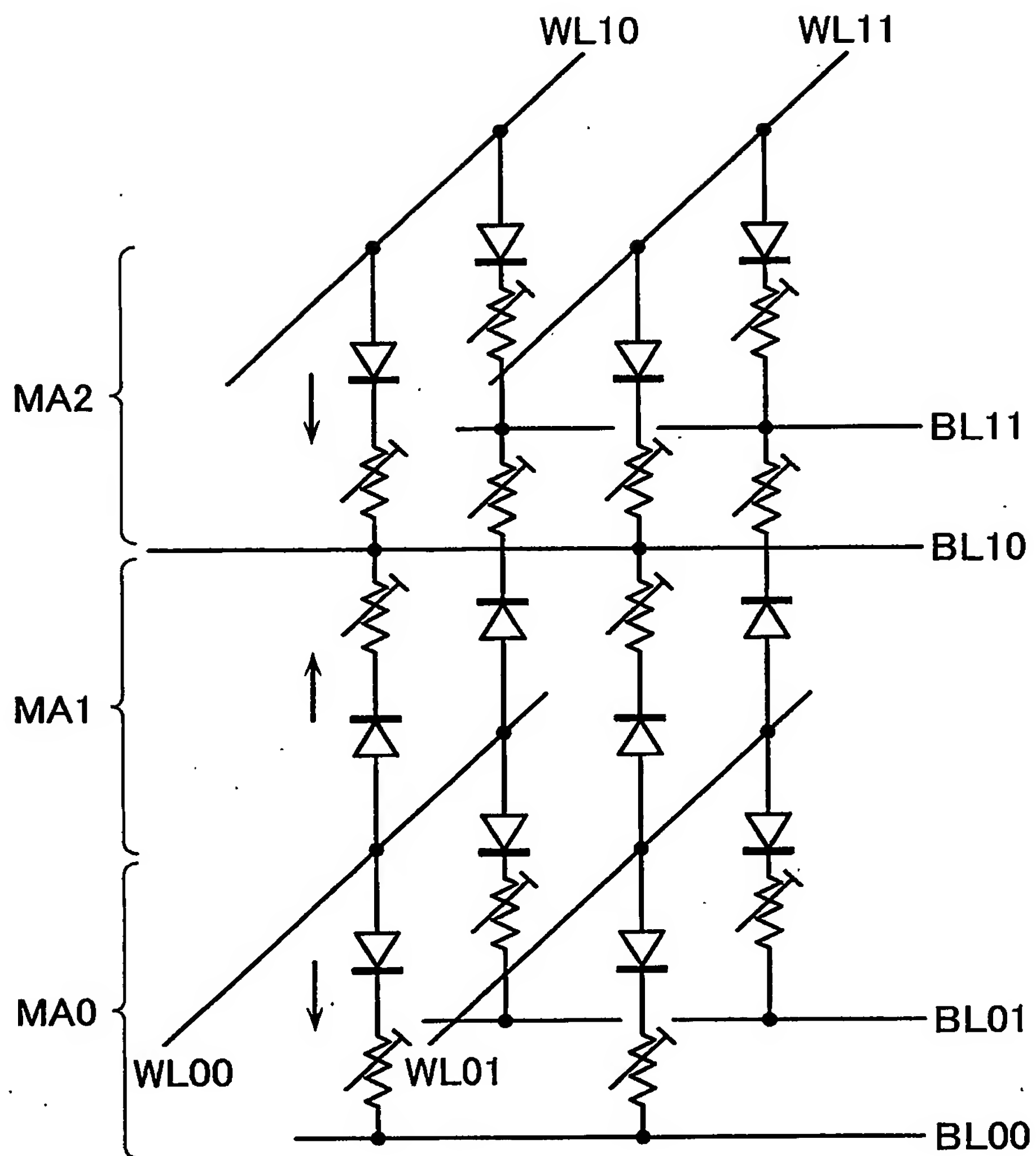
【図 3 2】

	0	1
OUT0	L	H
OUT1	L	H

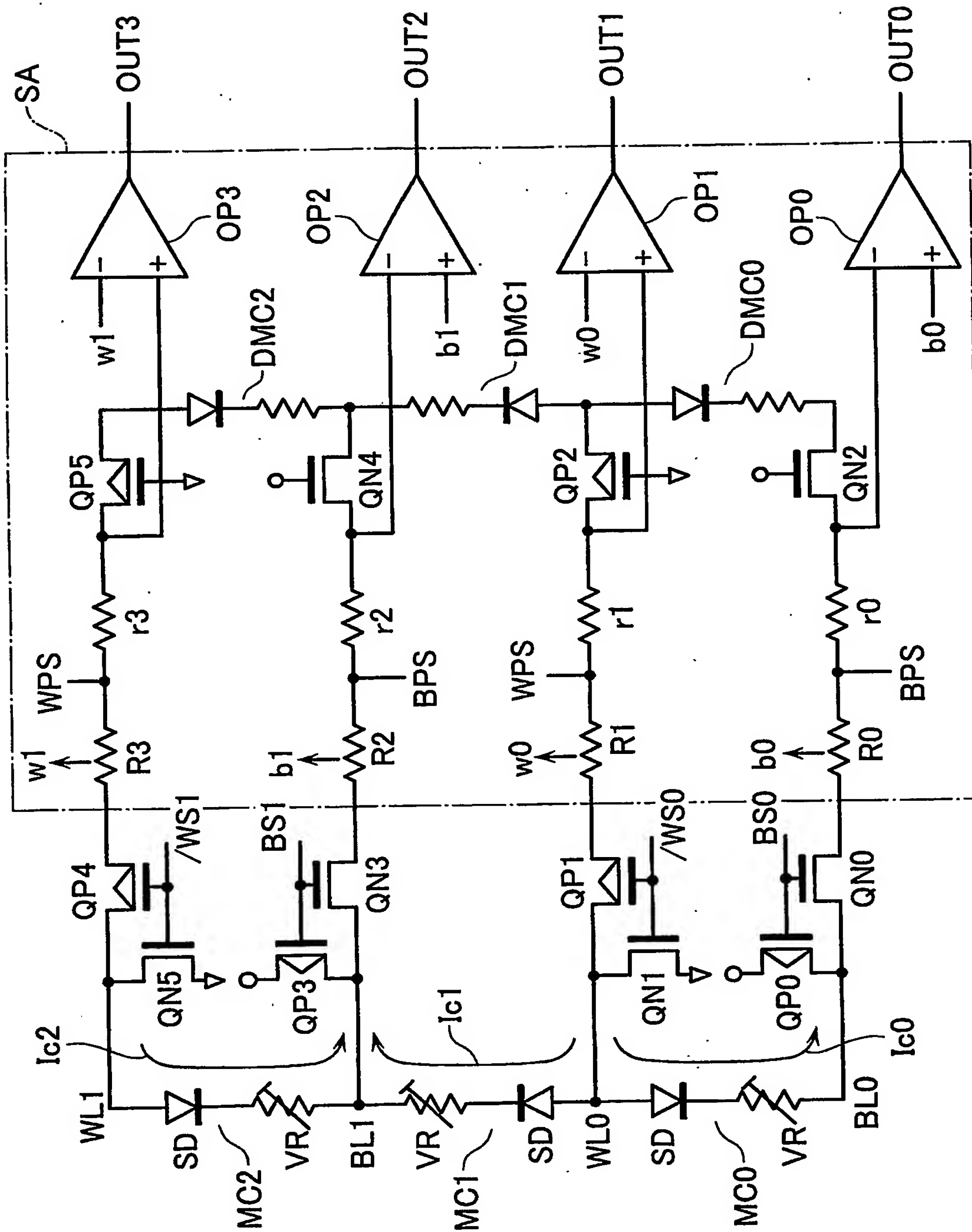
【図 3 3】

	00	01	10	11
OUT2	—	L	—	H
OUT1	L	H	H	H
OUT0	—	—	L	H

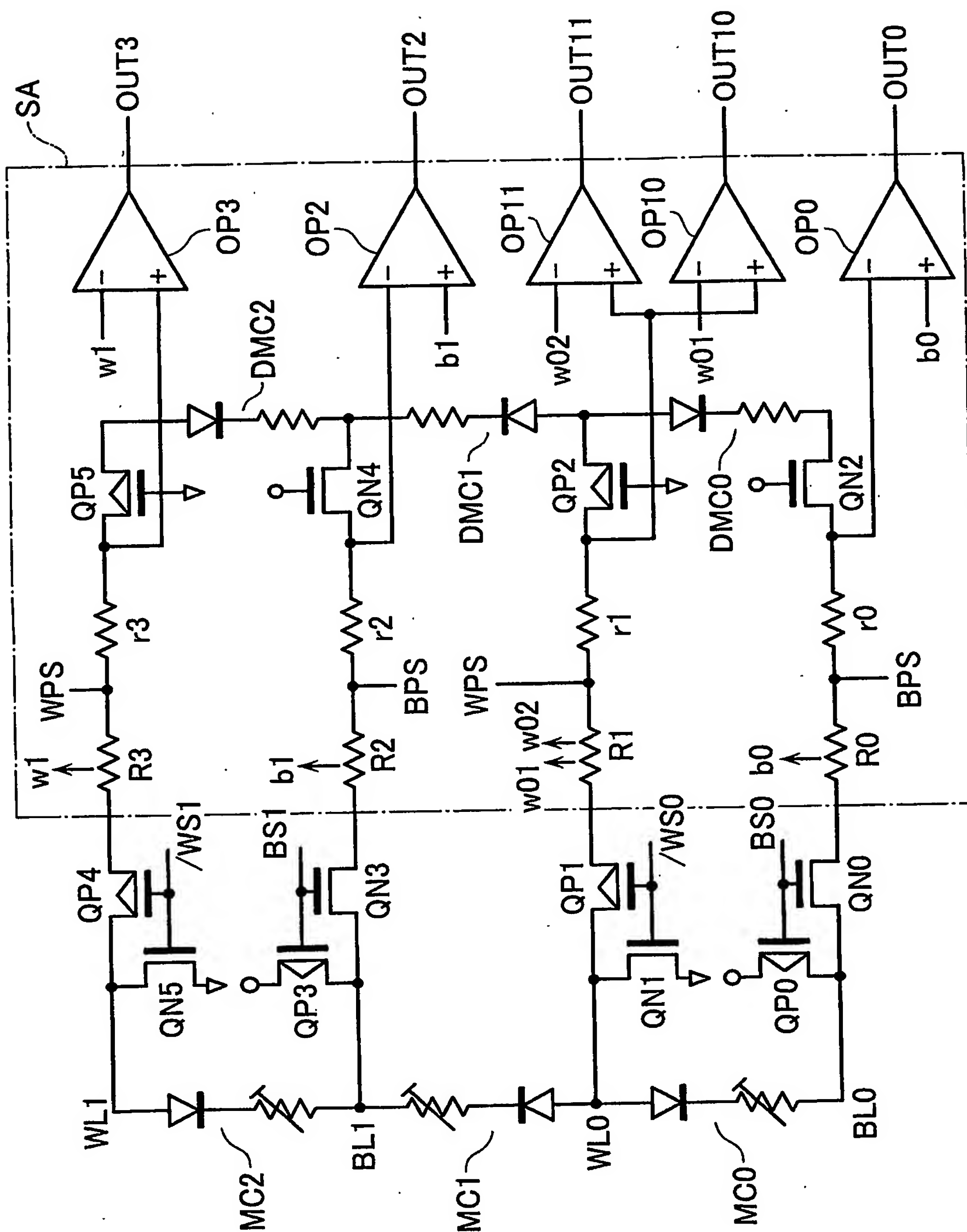
【図 34】



【図 3.5】



【図 37】





【図 3 6】

	000	001	010	011	100	101	110	111
OUT3	—	—	L	L	—	H	H	H
OUT2	L	L	—	H	H	H	—	H
OUT1	L	H	H	—	L	H	H	H
OUT0	—	—	L	H	—	H	L	H

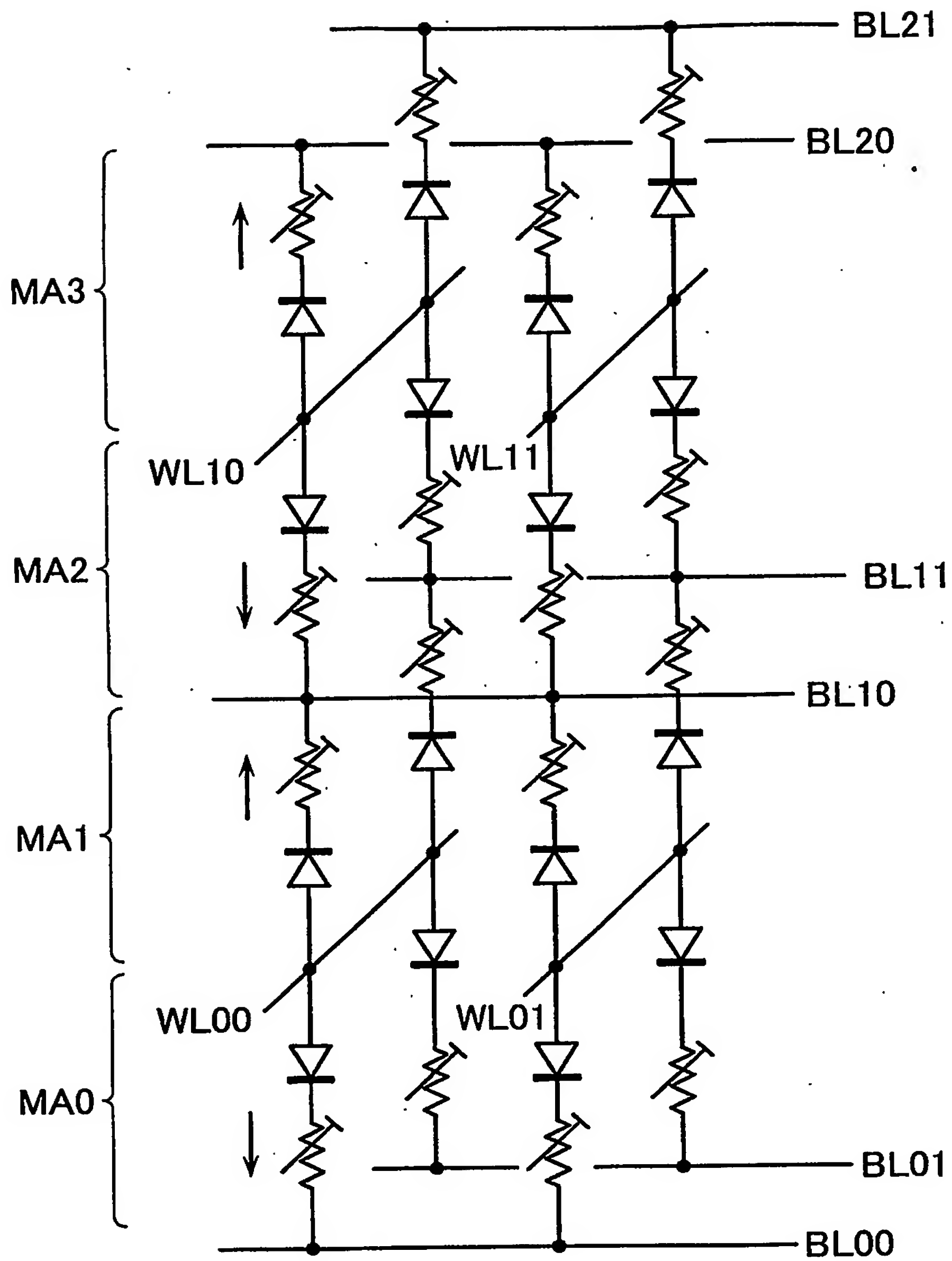
【図 3 8】

	000	001	010	011	100	101	110	111
OUT3	L	L	L	L	H	H	H	H
OUT10	L	H	H	—	L	H	H	—
OUT11	—	—	—	H	—	—	—	H
OUT0	—	H	L	—	—	H	L	—

【図 3 9】

	00	01	10	11
OUT10	L	H	H	H
OUT11	—	L	L	H
OUT0	—	L	H	—

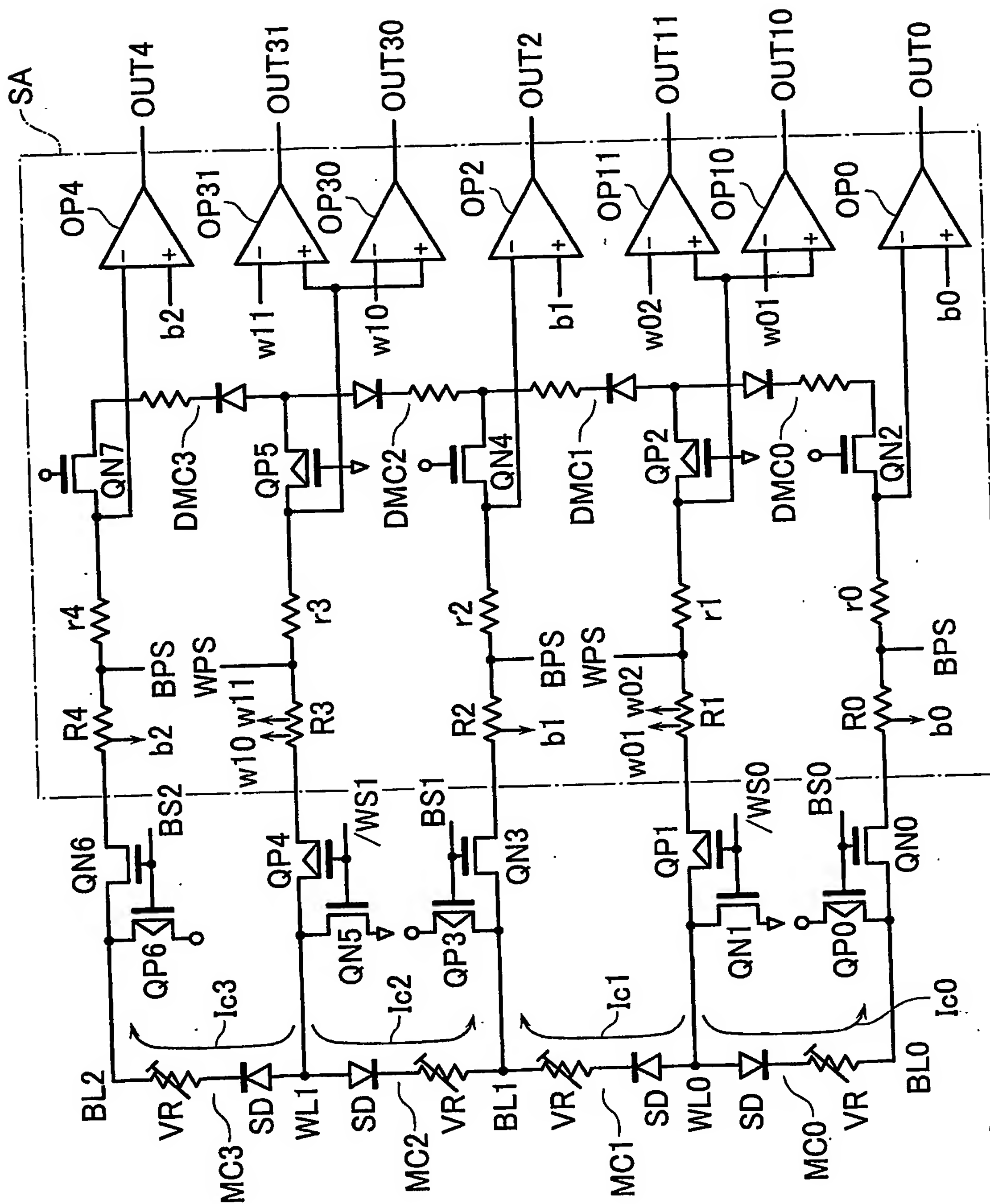
【図 40】



【図 4 1】

	0000	0001	0010	0011	0100	0101	0110	0111
OUT4	—	—	—	—	L	L	L	L
OUT3	L	L	L	L	—	H	H	H
OUT2	—	L	H	H	H	H	—	H
OUT1	L	H	—	H	L	H	H	H
OUT0	—	—	L	H	—	H	L	H
	1000	1001	1010	1011	1100	1101	1110	1111
OUT4	—	—	H	H	H	H	H	H
OUT3	H	H	H	H	—	H	H	H
OUT2	L	L	H	H	H	H	H	H
OUT1	L	H	H	H	L	H	H	H
OUT0	—	—	L	H	—	H	L	H

【図 4 2】

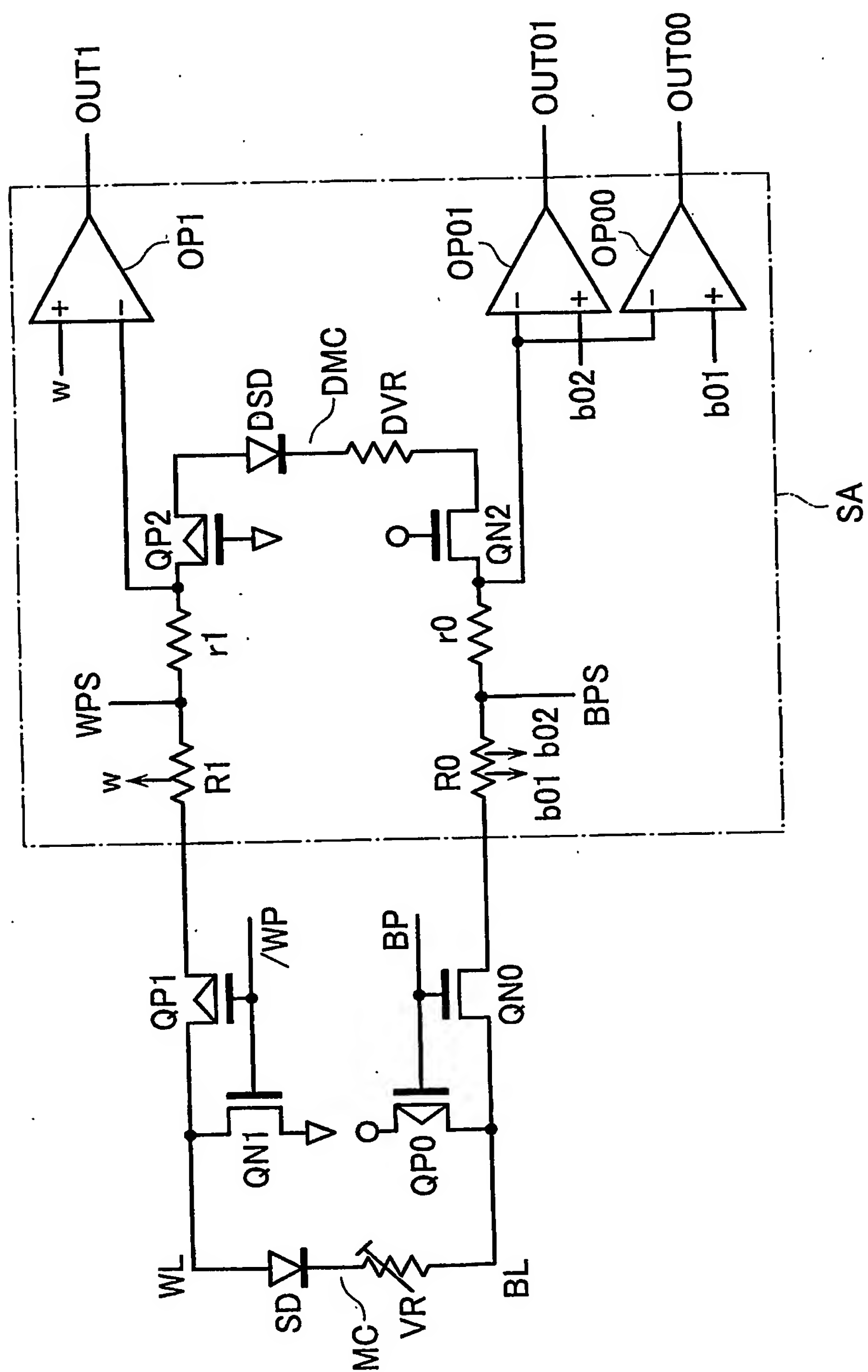


【図 4 3】

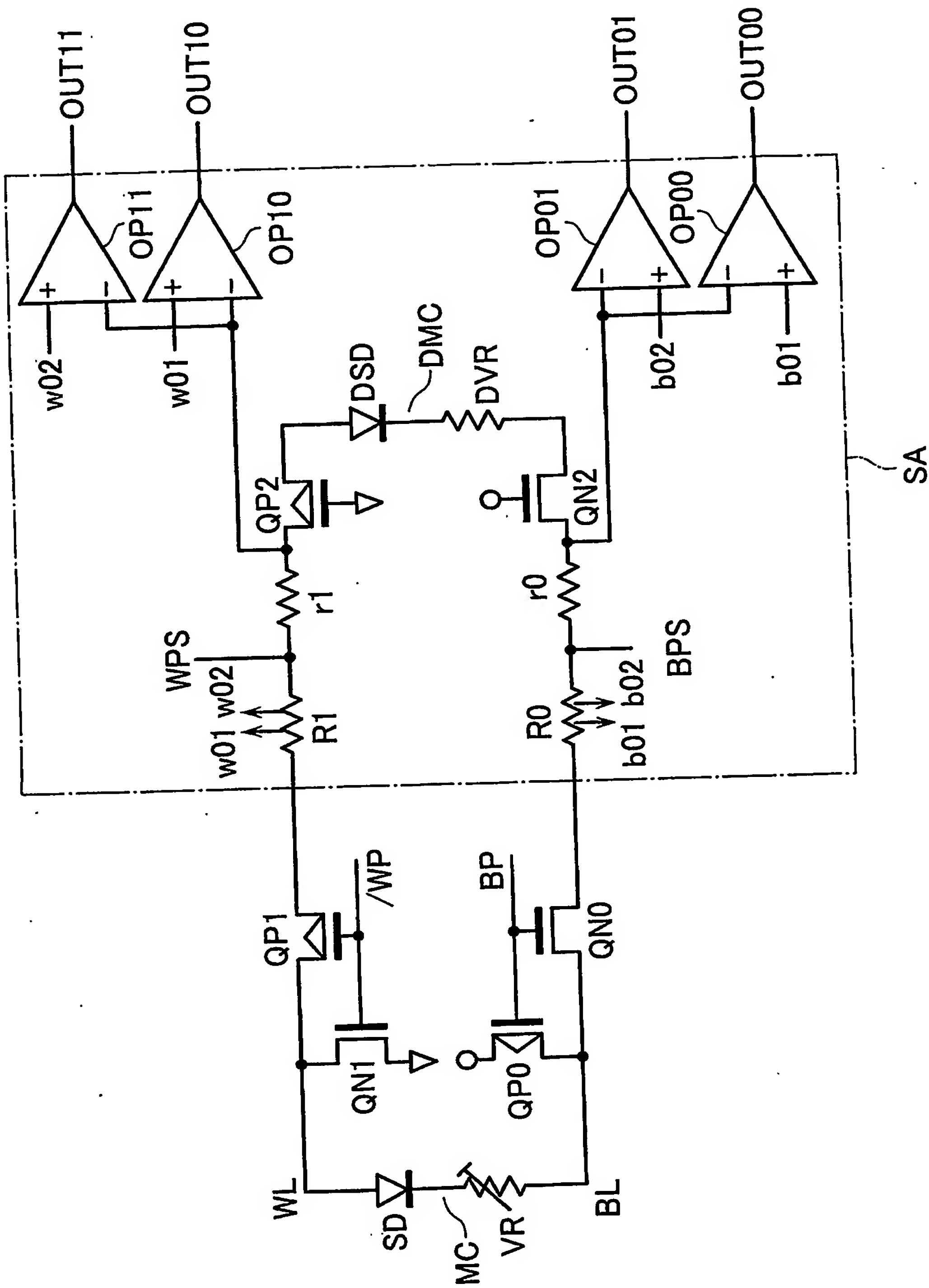
	0000	0001	0010	0011	0100	0101	0110	0111
OUT4	—	—	—	—	L	L	L	L
OUT30	L	L	L	L	H	H	H	H
OUT31	—	—	—	—	—	—	—	—
OUT10	L	H	H	—	L	H	H	—
OUT11	—	L	—	H	—	L	—	H
OUT0	—	H	L	—	—	H	L	—
	1000	1001	1010	1011	1100	1101	0110	1111
OUT4	H	H	H	H	—	—	—	—
OUT30	H	H	H	H	—	—	—	—
OUT31	L	L	L	L	H	H	H	H
OUT10	L	H	H	—	L	H	H	—
OUT11	—	L	—	H	—	L	—	H
OUT0	—	H	L	—	—	H	L	—



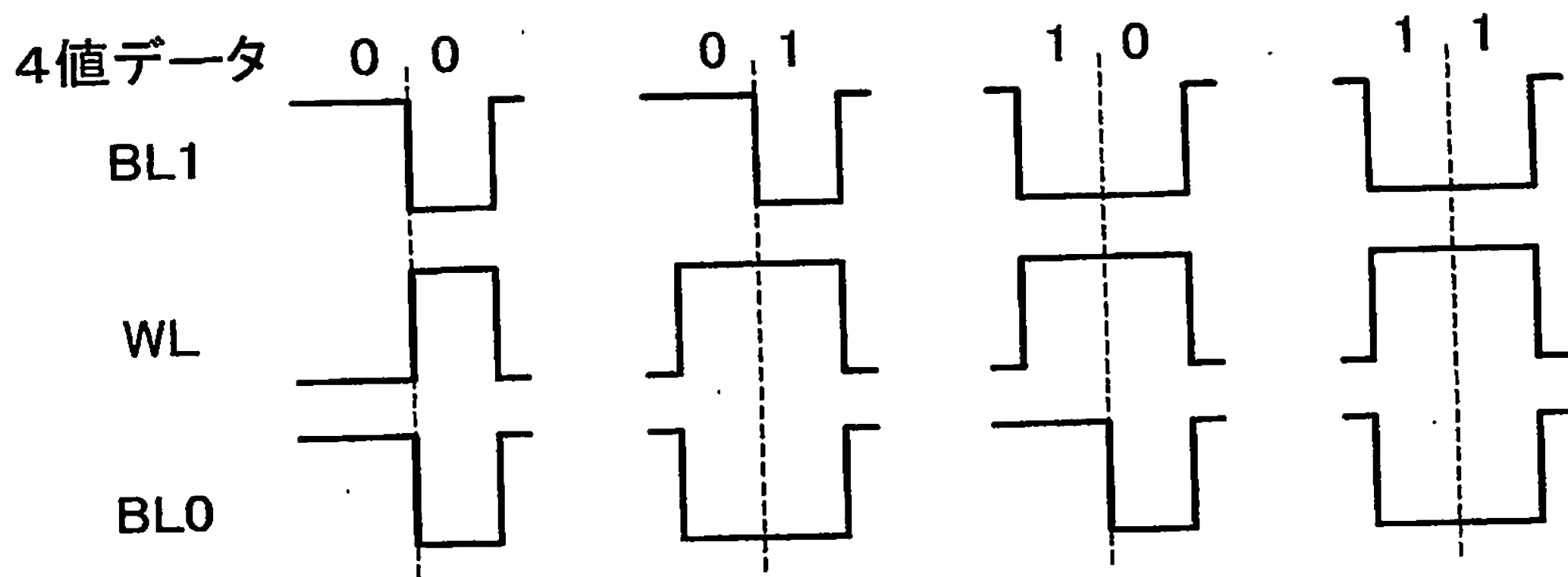
【図 4 4】



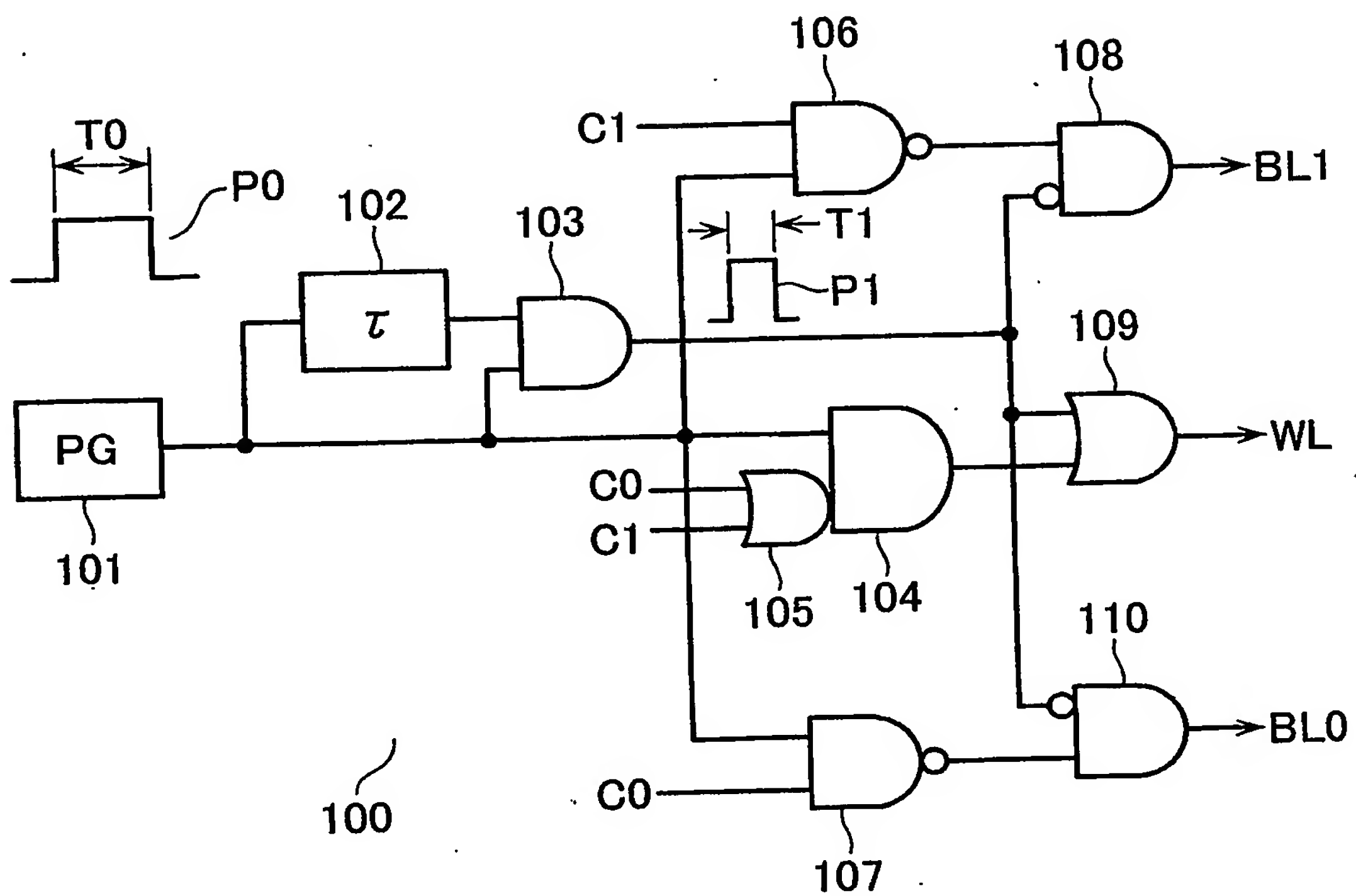
【図 45】



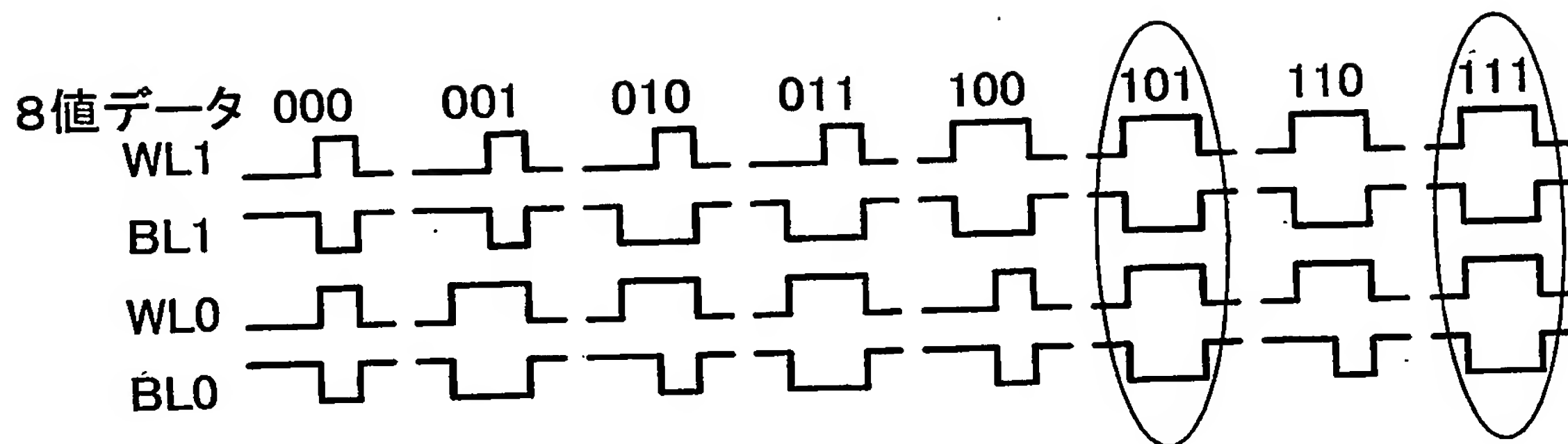
【図 4 6】



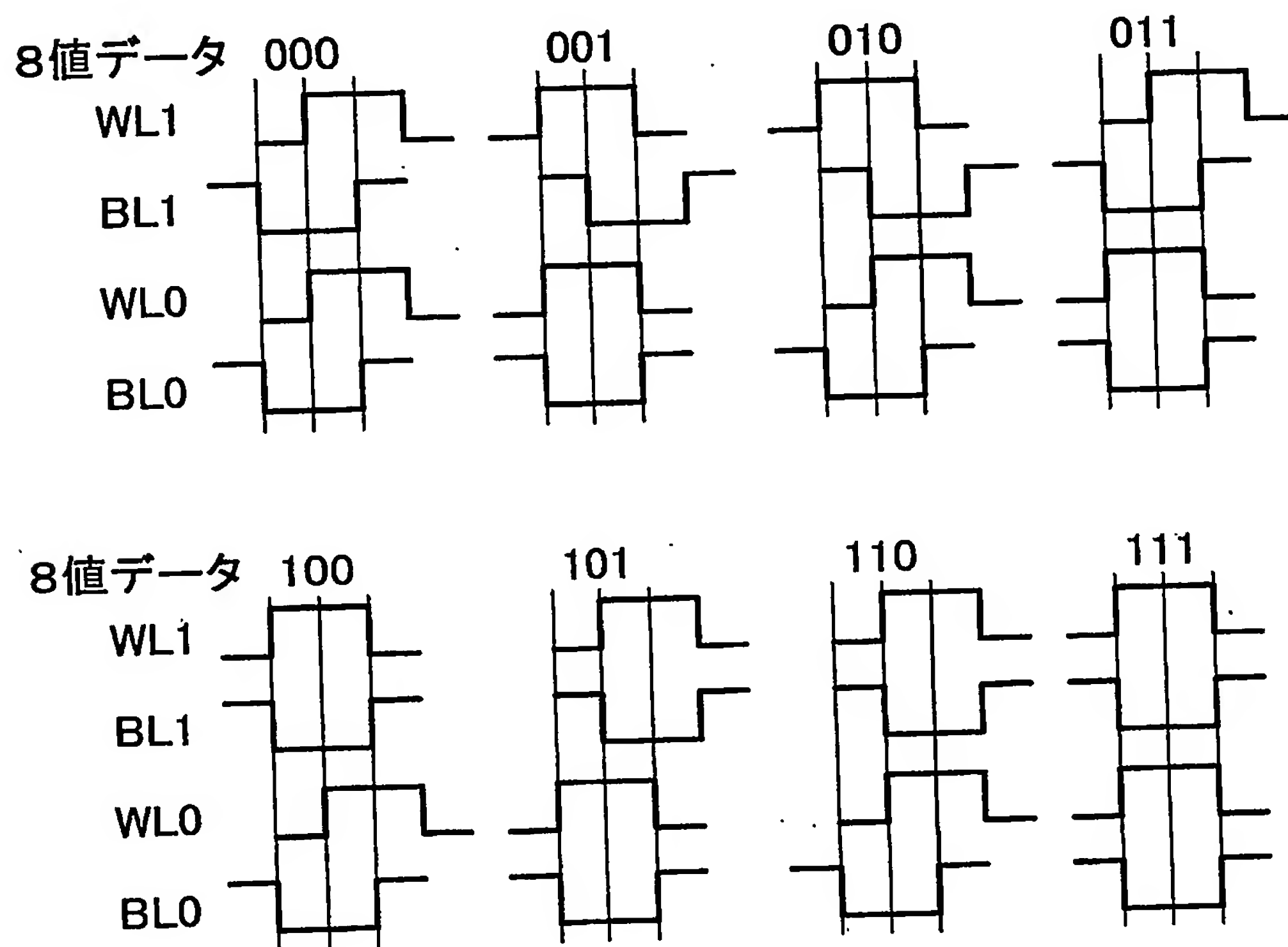
【図 4 7】



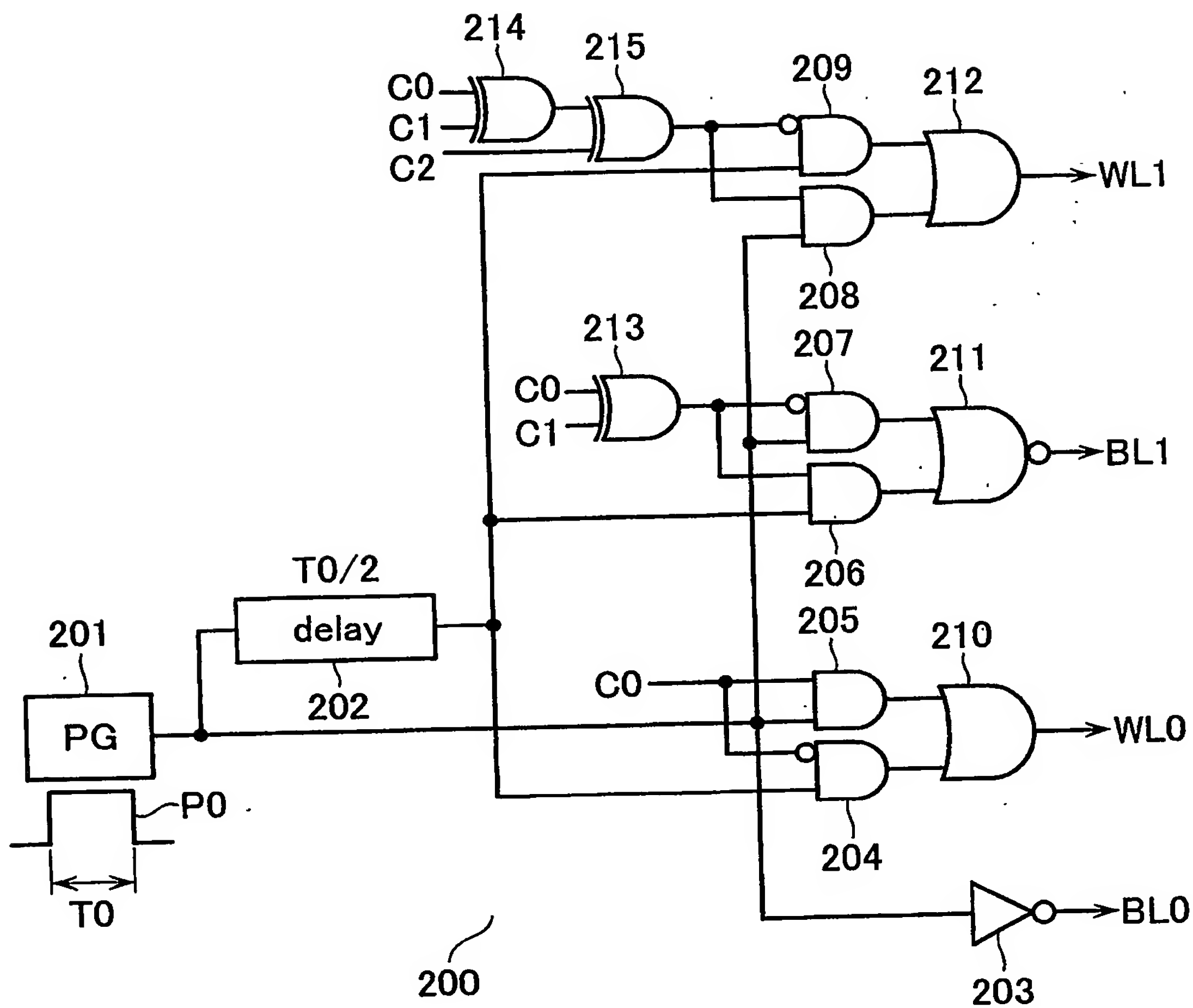
【図 4 8】



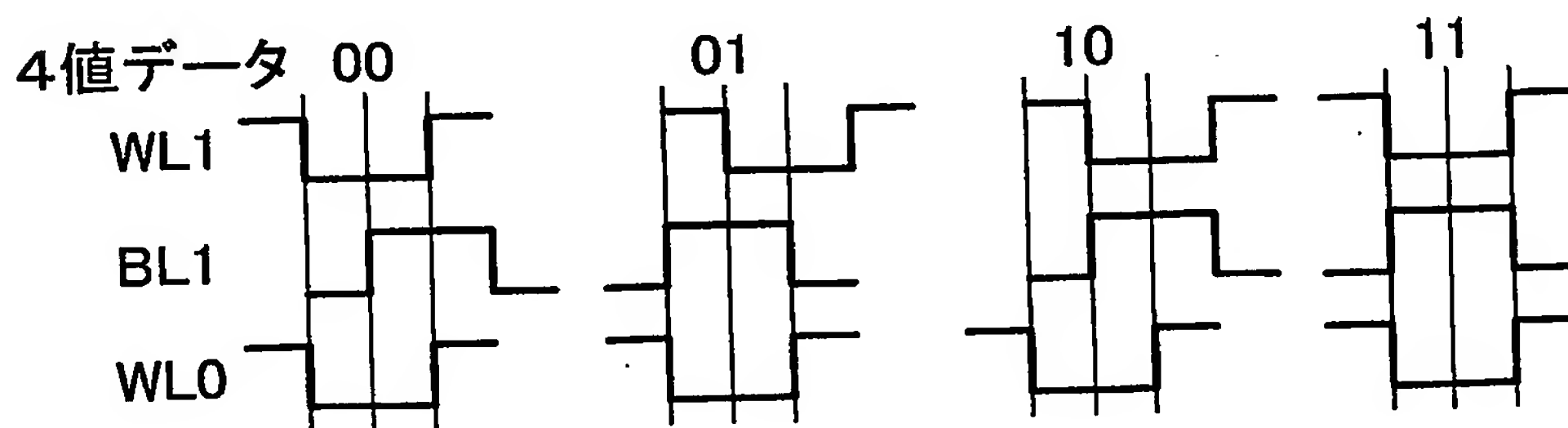
【図 4 9】



【図 5 0】

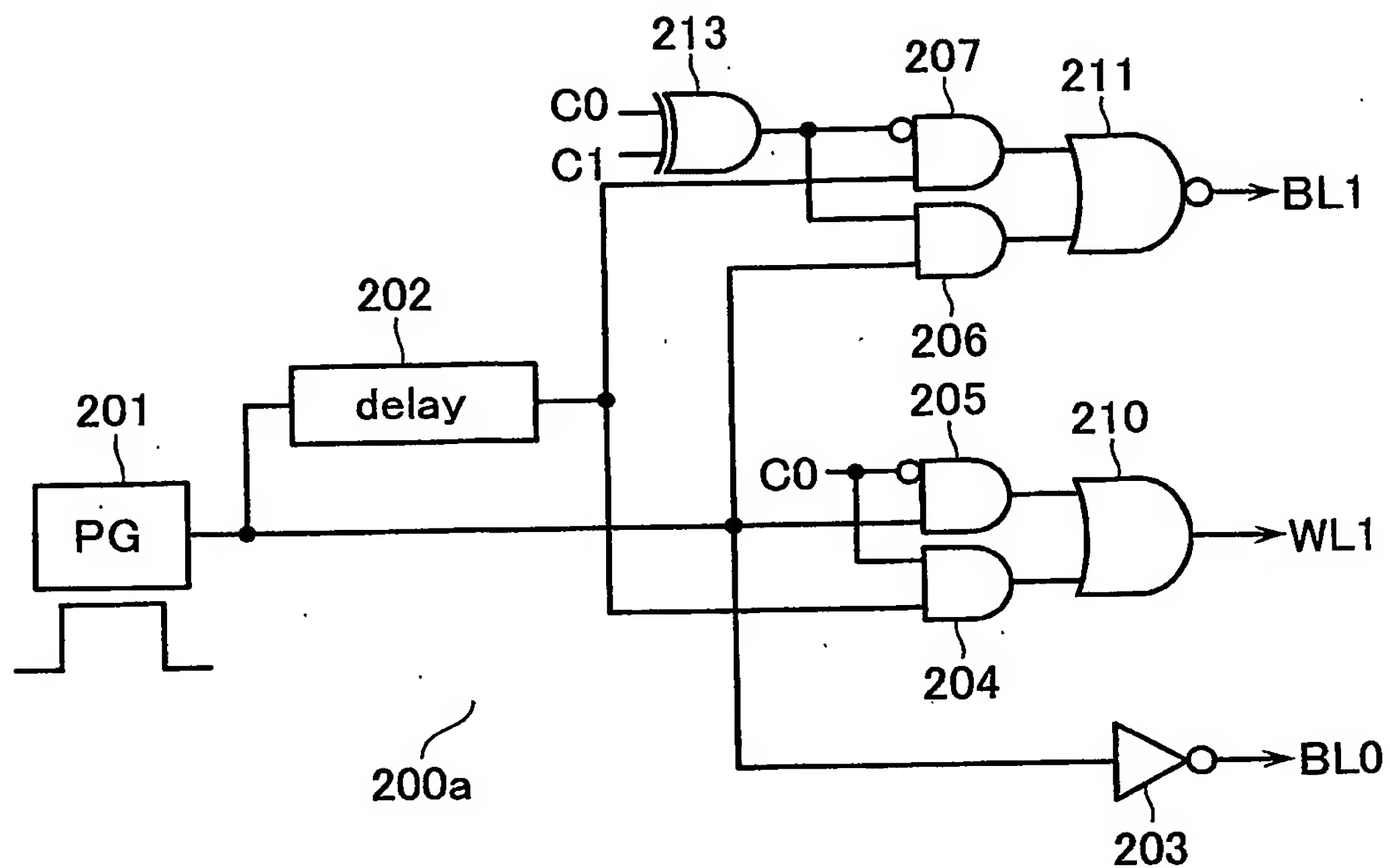


【図 5 1】

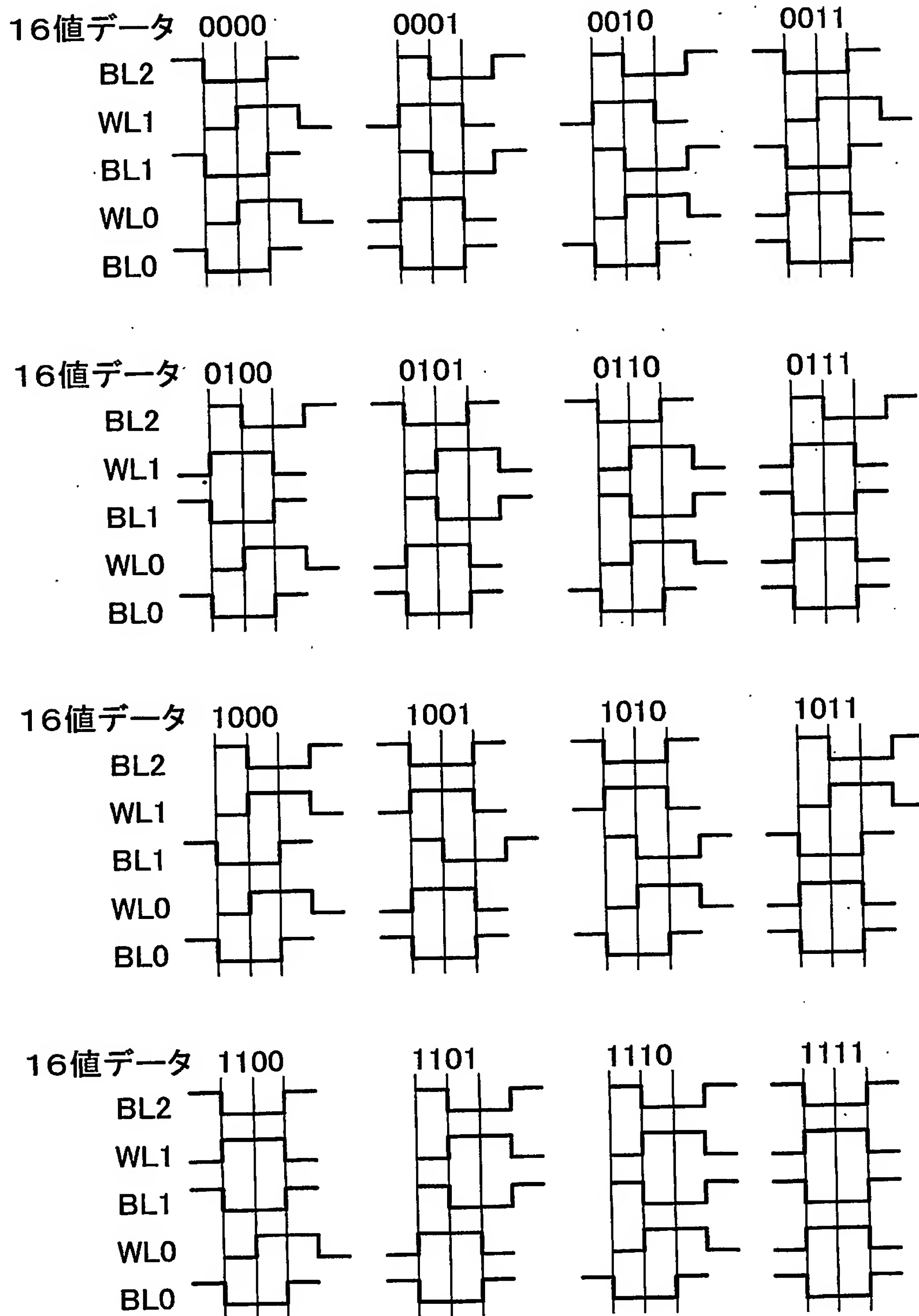




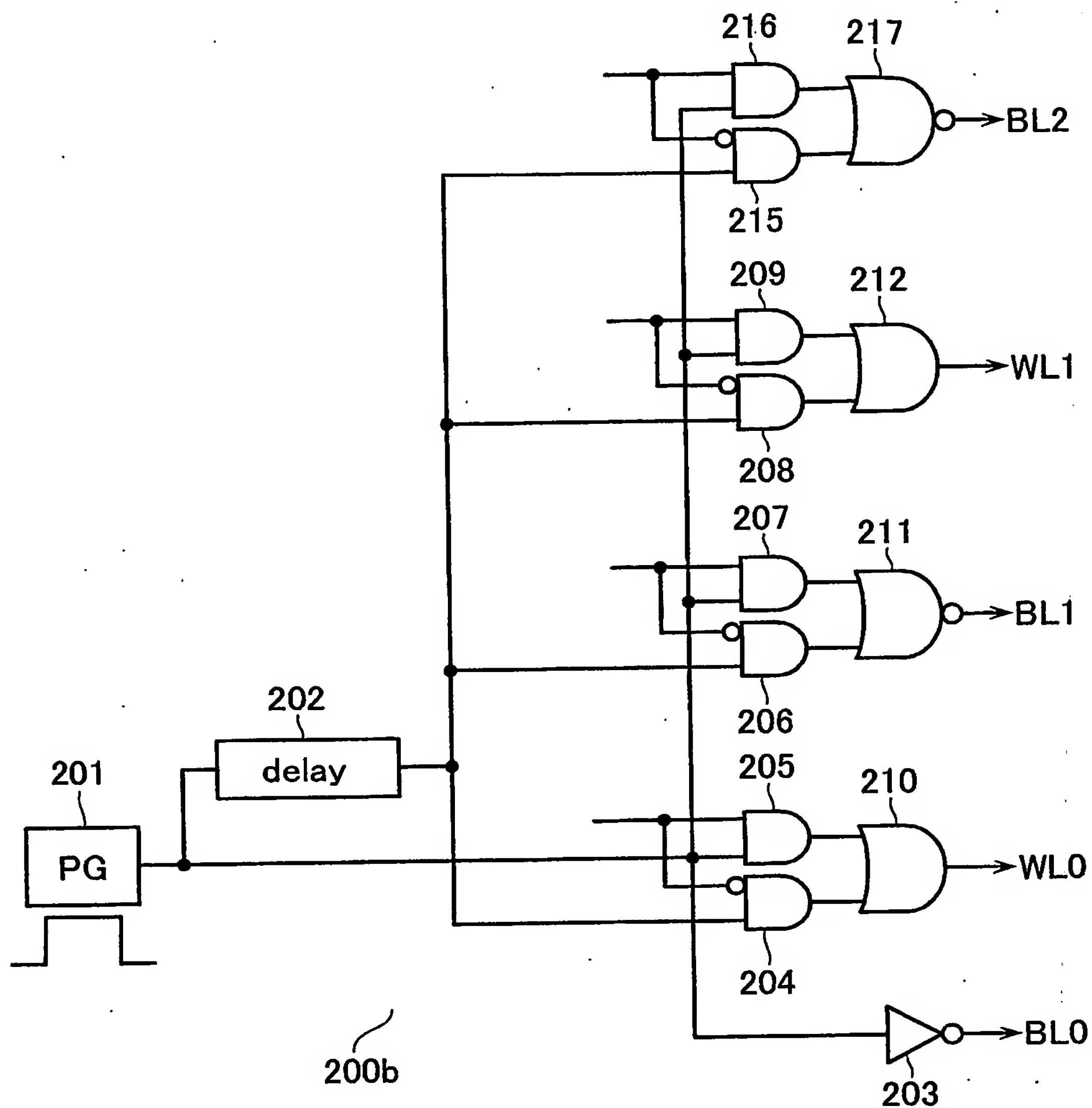
【図 5 2】



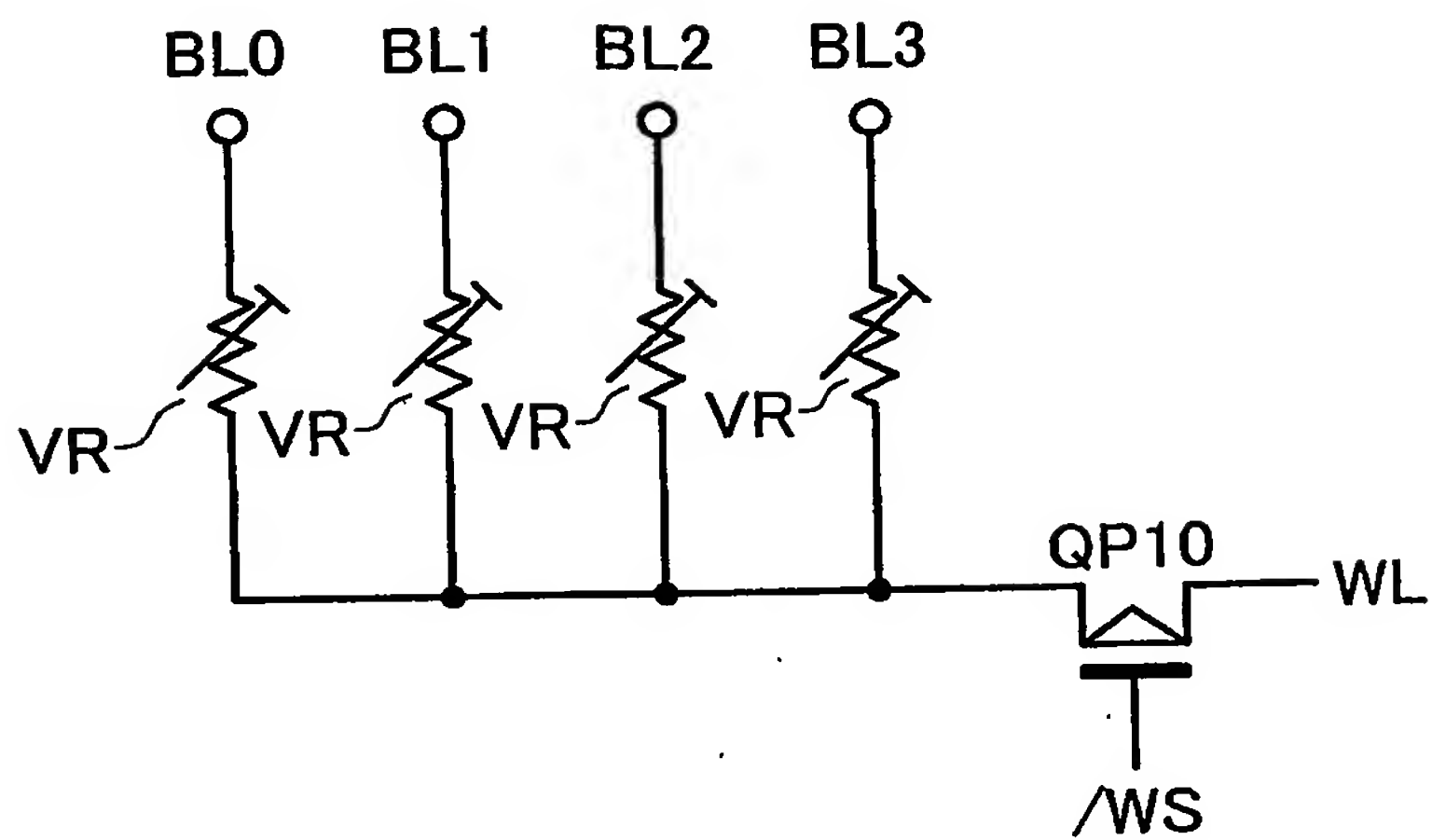
【図 5 3】



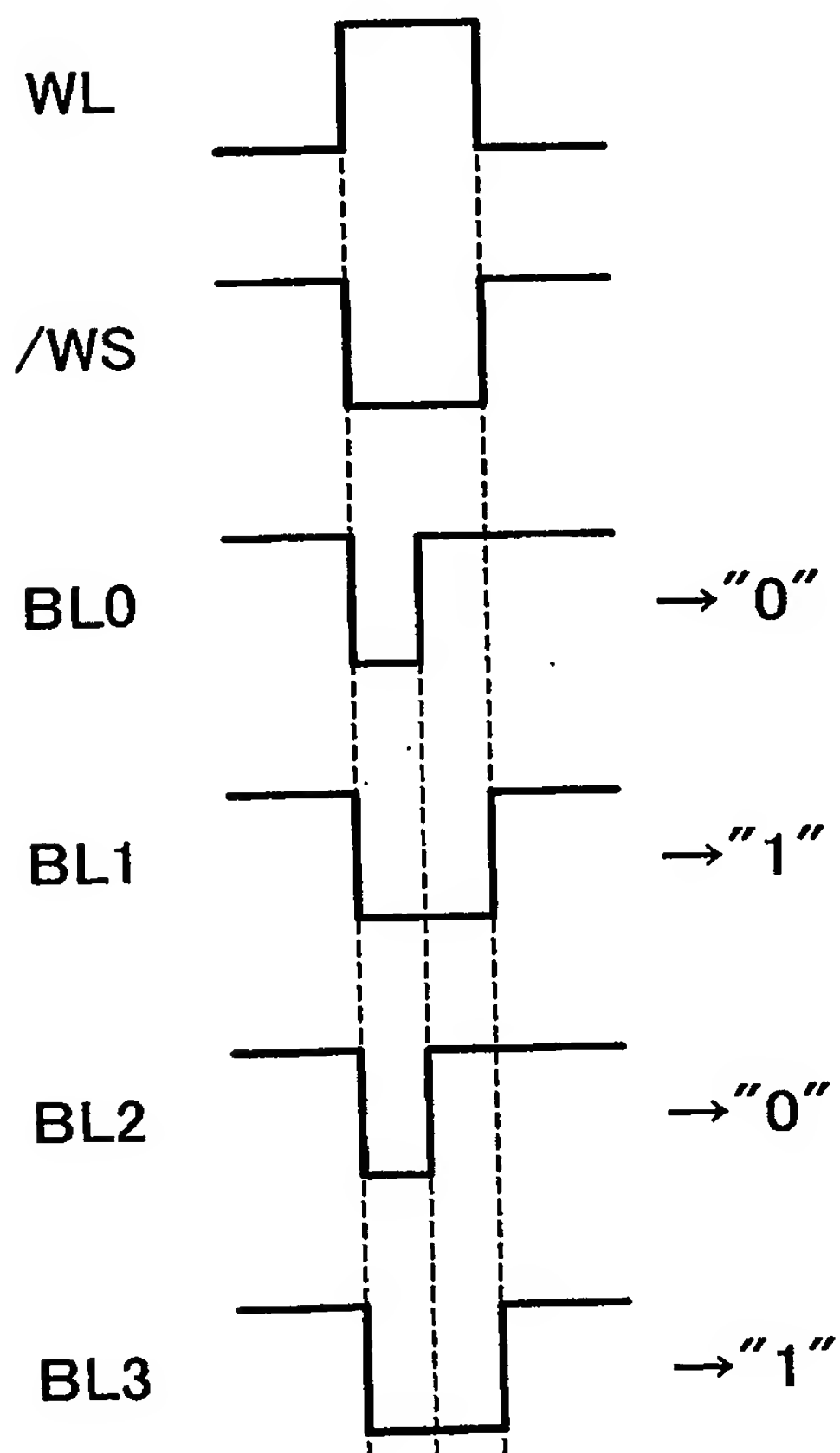
【図 5 4】



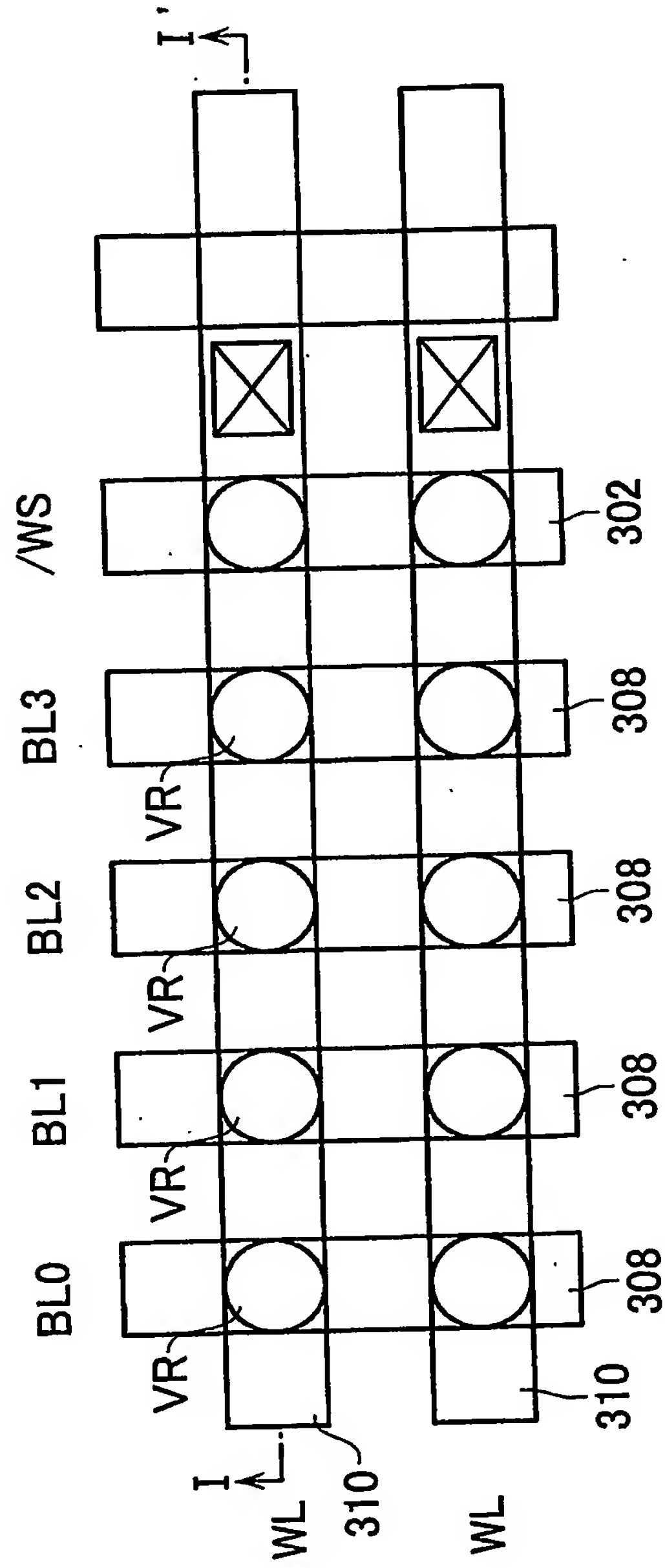
【図 5 5】



【図 5 6】

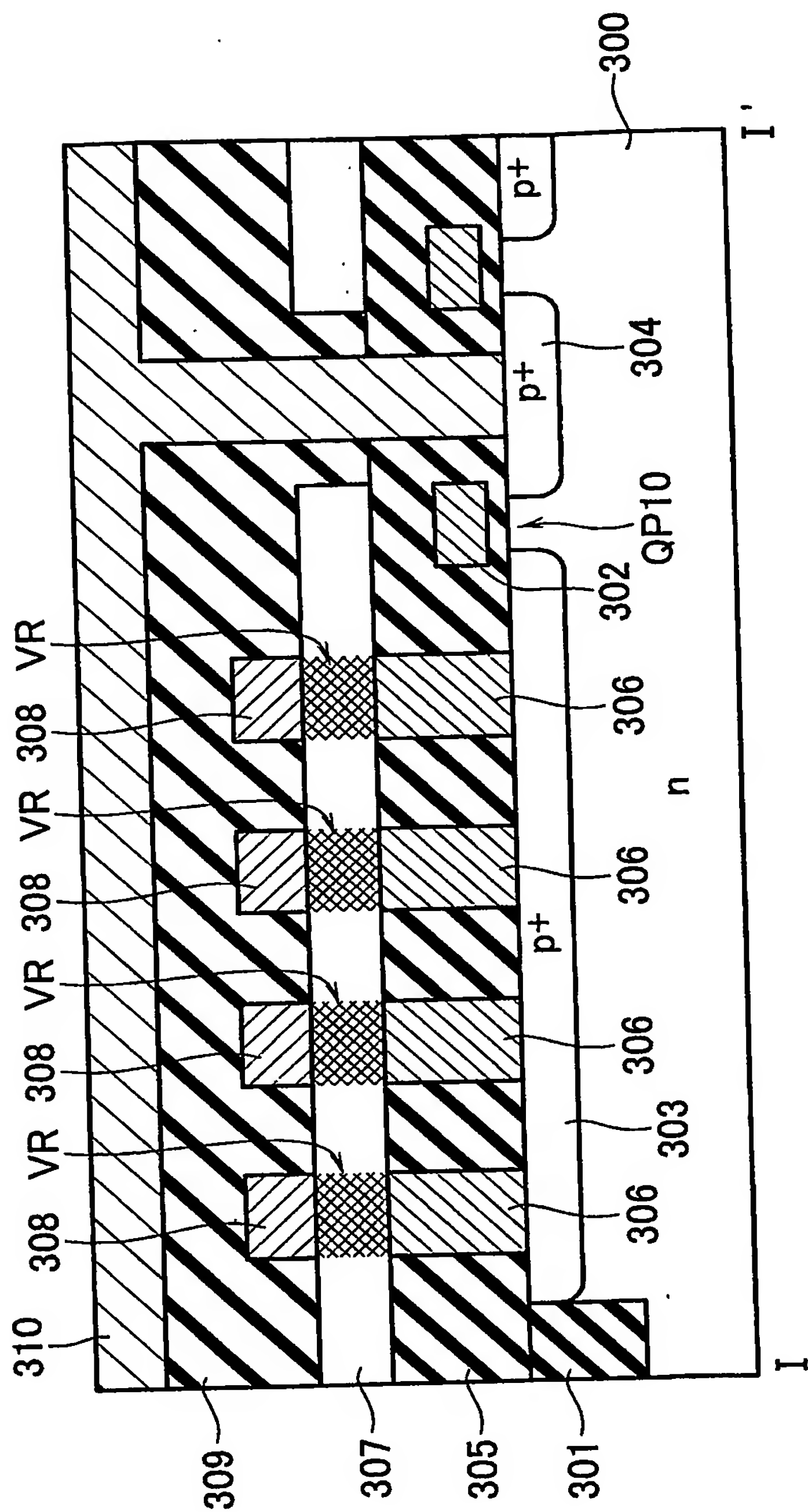


【図 57】

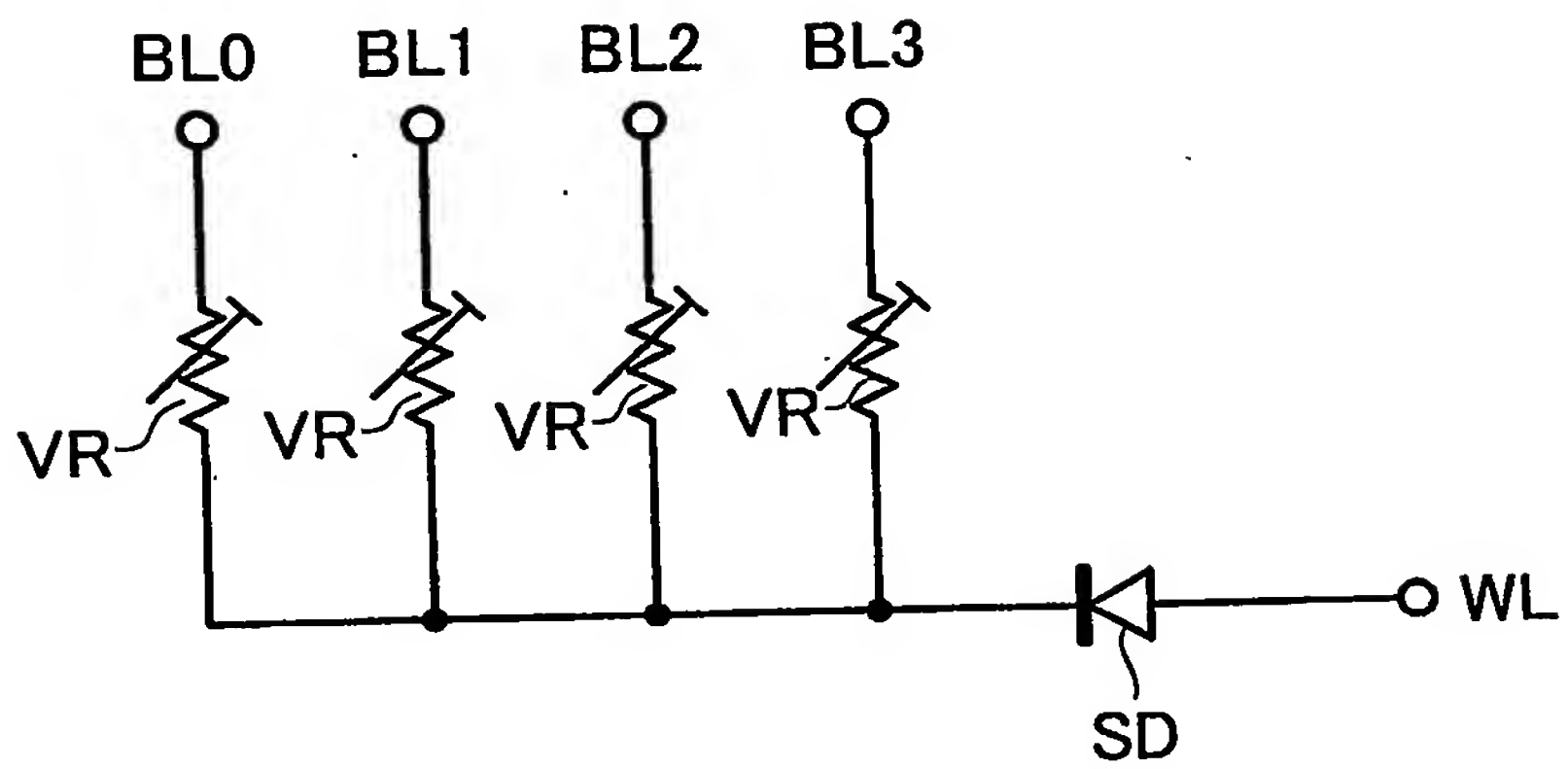




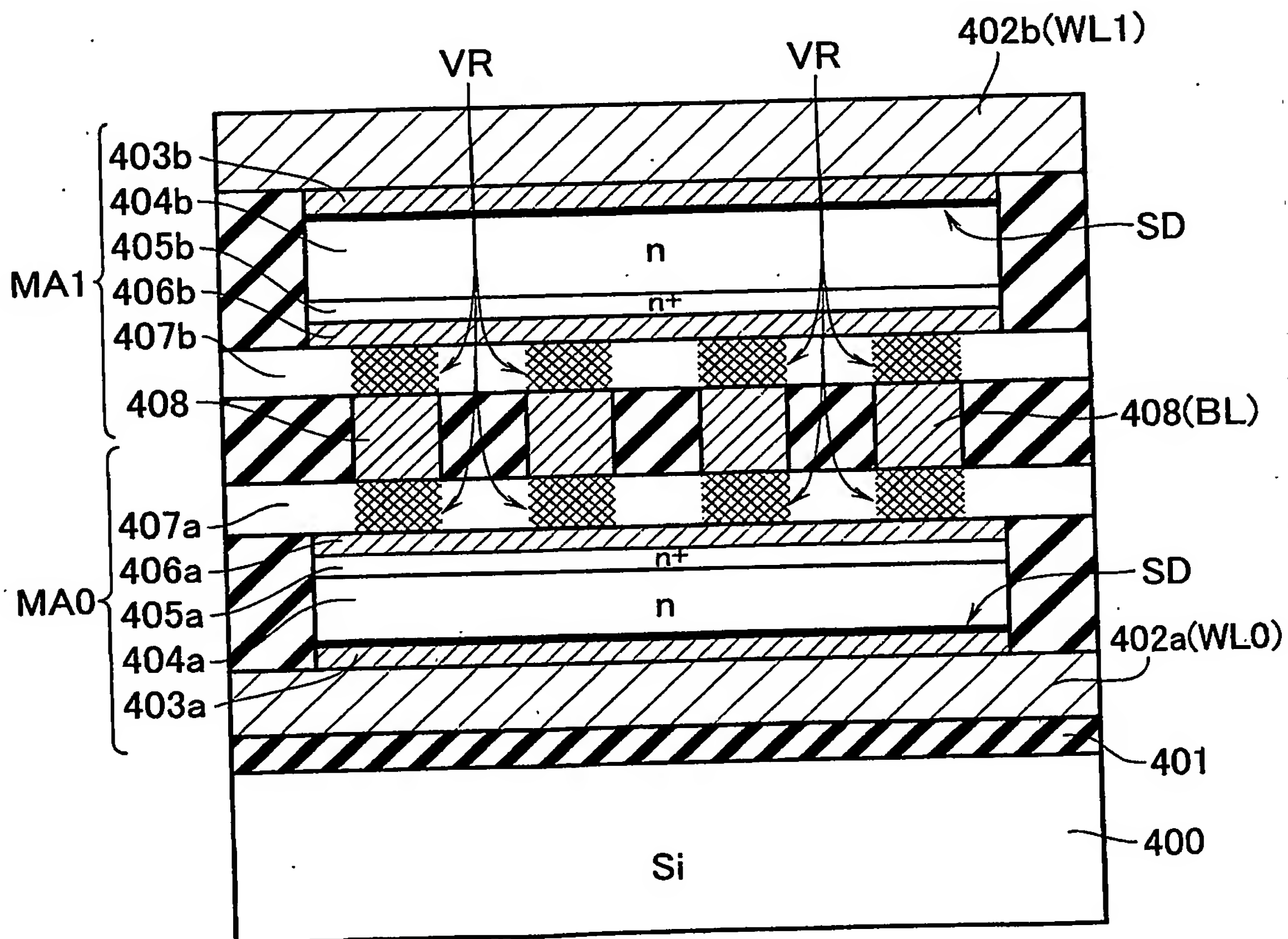
【図 5 8】



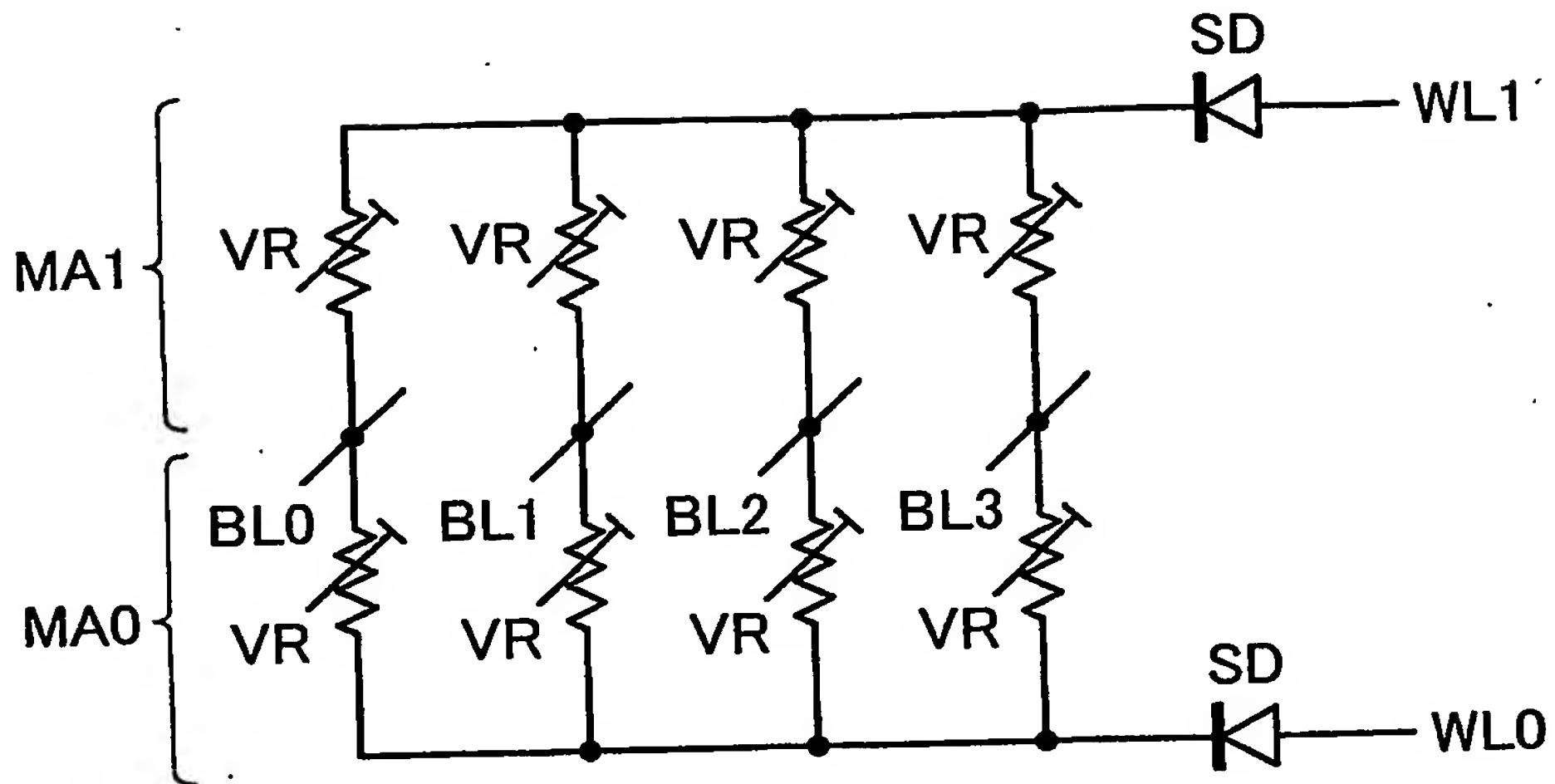
【図59】



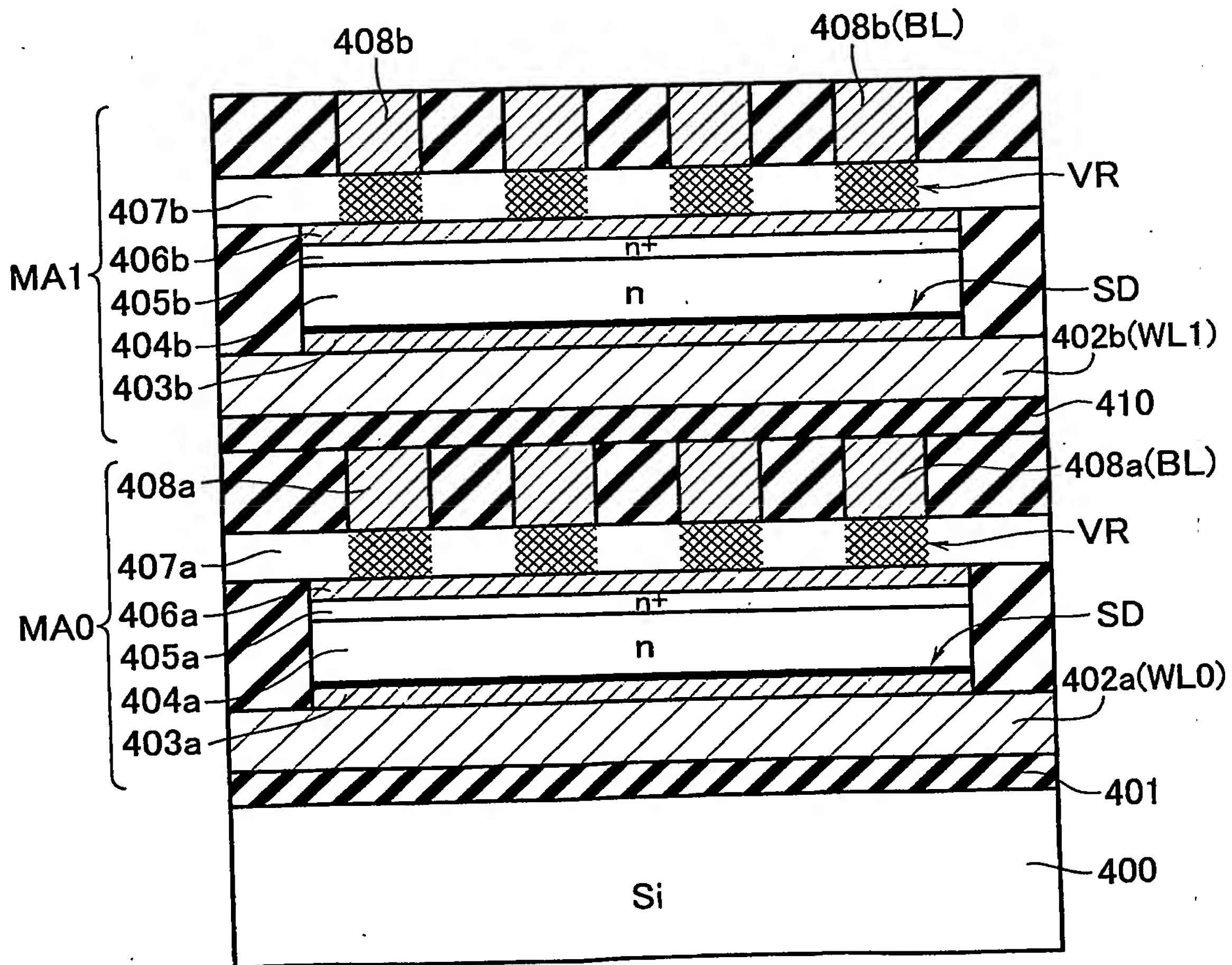
【図60】



【図 6 1】



【図 6 2】



【書類名】 要約書

【要約】

【課題】 相変化による抵抗値情報を不揮発に記憶する、書き換え可能な半導体記憶装置であって、好ましいセルアレイ構成を持つ半導体記憶装置を提供する。

【解決手段】 互いに平行な複数の第1の配線WLと、この第1の配線WLとは分離されて交差して配設された複数の第2の配線BLと、第1の配線WLと第2の配線BLの各交差部に配置されて、一端が第1の配線WLに他端が第2の配線BLに接続されたメモリセルMCとを備える。メモリセルMCは、結晶状態と非晶質状態の間の相変化による抵抗値の異なる状態を情報として記憶する可変抵抗素子VRと、この可変抵抗素子VRに直列接続されたショットキーダイオードSDとを有する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝